

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>

(11) 공개번호 특2000-0056611

G02F 1/133

(43) 공개일자 2000년09월15일

(21) 출원번호 10-1999-0006086

(22) 출원일자 1999년02월24일

(71) 출원인 삼성전자 주식회사 윤종용

경기도 수원시 팔달구 매탄3동 416

(72) 발명자 박은용

경기도수원시팔달구우만동주공2차아파트203동602호

박행원

서울특별시송파구잠실1동주공아파트71동302호

(74) 대리인

김원호, 김원근

심사결과 : 있음

(54) 액정표시장치및그의구동방법

요약

본 발명의 액정 표시 장치에 따르면 액정 표시 패널을 각각 상부 패널 및 하부 패널로 분할하여 상부 패널의 게이트선과 하부 패널의 게이트선의 주사 방향을 반대로 한다. 상부 패널에는 가로방향으로 형성되며 주사 신호를 전송하는 제1 게이트선으로 이루어진 상부 게이트선 블록과 제1 게이트선에 교차하며 화상 신호를 전송하는 상부 데이터선이 형성되며, 하부 패널에는 제2 게이트선으로 이루어지는 하부 게이트선 블록과 제2 게이트선과 교차하며 상부 데이터선과 분리되는 하부 데이터선이 형성된다.

상부 패널 및 하부 패널의 측면에는 각각 상부 게이트선 블록과 하부 게이트선 블록의 게이트선에 주사 신호를 인가하는 상부 및 하부 게이트 구동부가 마련된다. 이때, 상부 및 하부 게이트 구동부는 각각 서로 반대 방향으로 게이트선에 주사 신호를 순차적으로 인가한다.

이러한 액정 표시 장치에 따르면, 패널의 경계부분의 휘도 불균일 현상을 방지할 수 있다.

도표도

도3

색인어

듀얼 스캔, 액정표시장치, 휘도 불균일

명세서

도면의 간단한 설명

도1은 듀얼 스캔 방식을 이용한 액정 표시 장치를 나타내는 도면이다.

도2는 종래 액정 표시 장치의 구동 방법에 있어서의 신호 파형을 나타내는 도면이다.

도3은 본 발명의 실시예에 따른 액정 표시 장치를 나타내는 도면이다.

도4a 및 도4b는 쓰기 클럭 신호와 읽기 클럭 신호에 동기하여 각각 프레임에 입출력되는 데이터의 타이밍을 나타내는 도면이다.

도5는 본 발명의 제1 실시예에 따른 액정 표시 장치 패널의 극성 상태와 주사 방향을 나타내는 도면이다.

도6은 본 발명의 제1 실시예에 따른 신호의 파형을 나타내는 도면이다.

도7은 본 발명의 제2 실시예에 따른 액정 표시 장치 패널의 극성 상태와 주사 방향을 나타내는 도면이다.

도8은 본 발명의 제2 실시예에 따른 신호의 파형을 나타내는 도면이다.

도9a 및 도9b는 각각 제3 실시예 및 제4 실시예에 따른 액정 표시 장치 패널의 극성 상태와 주사 방향을 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

# 액정이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치 및 그의 구동 방법에 관한 것으로서, 특히 상하 화면을 분할하여 구동하는 액정 표시 장치 및 그의 구동 방법에 관한 것이다.

근래 퍼스널 컴퓨터나 텔레비전 등의 경량, 박형화에 따라 디스플레이 장치도 경량화, 박형화가 요구되고 있으며, 이러한 요구에 따라 음극선관(cathode ray tube: CRT) 대신 액정 표시 장치(liquid crystal display: LCD)와 같은 플랫 패널형 디스플레이가 개발되고 있다.

LCD는 두 기판 사이에 주입되어 있는 이방성 유전율을 갖는 액정 물질에 전기장(electric field)을 인가하고 이 전기장의 세기를 조절하여 기판에 투과되는 빛의 양을 조절함으로써 원하는 화상 신호를 얻는 표시장치이다. 이러한 LCD는 휴대가 간편한 플랫 패널형 디스플레이 중에서 대표적인 것으로서, 이 중에서도 박막 트랜지스터(thin film transistor: TFT)를 스위칭 소자로 이용한 TFT-LCD가 주로 이용되고 있다.

일반적으로 LCD는 주사 신호를 전달하는 다수의 게이트선과 이 게이트선에 교차하여 형성되며 화상 데이터를 전달하는 데이터선을 포함하며, 이들 게이트선과 데이터선에 의해 둘러싸인 영역에 형성되며 각각 게이트선 및 데이터선과 스위칭 소자를 통해 연결되는 행렬 형태의 다수의 화소를 포함한다.

이러한 LCD에서 각 화소에 화상 데이터를 인가하는 방법은 다음과 같다.

먼저 게이트선들에 순차적으로 주사 신호인 게이트 온 신호를 인가하여 이 게이트선에 연결된 스위칭 소자를 순차적으로 턴온시키고, 이와 동시에 상기 게이트선에 대응하는 화소 행에 인가할 화상 신호(보통 구체적으로 게조 전압)를 각 데이터선에 공급한다. 그러면, 상기 데이터선에 공급된 화상 신호는 턴온된 스위칭 소자를 통해 각 화소에 인가된다. 이때, 한 프레임 주기 동안 모든 게이트선들에 순차적으로 게이트 온 신호를 인가하여 모든 화소 행에 화상 신호를 인가함으로써, 결국 하나의 프레임의 화상을 표시한다.

한편, 최근에는 액정 표시 장치의 해상도가 높아짐에 따라 더욱 많은 수의 게이트선이 필요해지고 있으나 한 프레임을 주사하는데 걸리는 시간은 예컨대, 1/60초로 제한되어 있기 때문에 각 게이트선에 인가되는 게이트 온 신호의 시공간(time interval)은 그 만큼 작아지게 된다. 따라서, 스위칭 소자를 통해 충분한 화상 신호(게조 전압)가 인가되지 않아 화질이 떨어진다 문제가 있다.

따라서, 최근에는 충분한 게이트 온 시간을 확보하기 위해, 표시 화면을 상하로 2분할하여 액정 표시 장치를 구동하는 방식(듀얼 스캔 방식이라 함)이 제안되고 있다.

도1은 이와 같은 듀얼 스캔 방식을 이용한 액정 표시 장치를 나타내는 도면이다.

도1에 도시한 바와 같이, 듀얼 스캔 방식의 액정 표시 장치는 액정 표시 장치 패널(10), 상부 및 하부 데이터 구동부(21, 22)와 상부 및 하부 게이트 구동부(31, 32)로 이루어진다.

액정 표시 장치 패널(10)에는 게이트 온 신호를 전달하기 위한 2m개의 게이트선(G1, G2, Gm, Gm+1, ..., G2m)이 형성되어 있으며, 화상 신호를 나타내는 게조 전압을 전달하기 위한 데이터선(D1, D2, ..., Dn; C1, C2, ..., Cn)이 형성되어 있다. 게이트선과 데이터선에 의해 둘러싸인 영역은 각각 화소를 이루며, 각 화소는 게이트선과 데이터선에 각각 게이트 전극 및 소스 전극이 연결되는 박막 트랜지스터(12), 박막 트랜지스터(12)의 드레인 전극에 연결되는 화소 전극(14)과 공통 전압이 인가되는 공통 전극(도시하지 않음)을 포함한다. 여기서, 2m개의 게이트선은 각각 m개의 게이트선 (G1, G2, ..., Gm), (Gm+1, ..., G2m)으로 이루어진 상부 및 하부 게이트선 블록으로 분리된다. 또한, 상부 게이트선 블록의 게이트선(G1, G2, ..., Gm)에 대응하는 화소에 연결된 데이터선(D1, D2, ..., Dn)과 하부 게이트선 블록의 게이트선(Gm+1, ..., G2m)에 대응하는 화소에 연결된 데이터선(C1, C2, ..., Cn)은 서로 분리되어 있다. 예컨대, 첫째 열의 상부 화소는 데이터선(D1)과 연결되어 있고, 첫째 열의 하부 화소는 데이터선(C1)과 연결되어 있다.

상부 및 하부 게이트 구동부(31, 32)는 각각 상부 및 하부 게이트선 블록에 연결되며, 각각 상부 및 하부 게이트선 블록의 게이트선에 순차적으로 게이트 온 전압을 인가한다. 이때, 게이트 온 전압은 각각 상부 및 하부 게이트선 블록 내의 첫 번째 게이트선부터 순차적으로 인가한다.

상부 및 하부 데이터 구동부(21, 22)는 각각 액정 표시 장치 패널의 상부 및 하부에 형성되며, 각각 상부 데이터선(D1, D2, ..., Dn) 및 하부 데이터선(C1, C2, ..., Cn)에 화상 신호를 나타내는 게조 전압을 인가한다.

이러한 액정 표시 장치의 동작은 다음과 같다.

먼저, 상부 및 하부 게이트선 블록의 첫 번째 게이트선부터 각각 순차적으로 게이트 온 신호를 공급하고, 이와 동시에 상부 및 하부 데이터선에 화상 신호를 나타내는 게조 전압을 인가한다. 그러면, 게이트 온 신호에 의해 박막 트랜지스터(12)가 턴온되고, 데이터선에 공급된 게조 전압은 턴온된 박막 트랜지스터를 통해 화소 전극에 인가된다. 그러면, 화소 전극에 인가된 전압(이를 화소 전압이라 한다.)과 공통 전극에 인가된 공통 전압과의 차이에 의해 생기는 전계가 액정 물질에 인가된다. 이때, 액정 물질은 인가되는 전기장의 세기(이 전기장의 세기는 게조 전압의 크기에 따라 변동함)에 따라 비틀림의 정도가 달라지게 되므로 결국 액정 물질을 투과하는 빛의 양이 달라지게 된다. 따라서, 원하는 화상이 액정 표시 장치에 표시되게 한다.

이와 같이 듀얼 스캔 방식의 액정 표시 장치에 의하면 게이트 온 전압이 상부 및 하부 게이트선 블록의 게이트선에 동시에 인가되기 때문에 기존의 액정 표시 장치에 비해 게이트 온 시간을 2배만큼 확보할 수 있다는 장점이 있다.

한편, 액정 물질에 계속해서 같은 방향의 전계가 인가되면 액정 물질이 열화되는 문제점이 있기 때문에 공통 전압에 대한 게조 전압의 극성을 반복해서 구동할 필요가 있으며, 이와 같은 구동 방식을 반전 구동 방식이라 한다.

반전 구동 방식에는 프레임 단위로 극성을 반전시키는 프레임 반전, 라인 단위로 극성을 반전시키는 라인 반전, 화소 단위로 극성을 반전시키는 도트 반전 등이 있으며, 이 중 라인 반전이나 도트 반전이 주로 사용된다.

그러나, 종래의 듀얼 스캔 방식의 액정 표시 장치에서 라인 반전이나 도트 반전의 구동 방식을 채택하는 경우에는 이하에서 설명하는 바와 같은 문제점이 발생한다.

도1의 화소 전극에 (+)와 (-)로 표시한 바와 같이 도트 반전으로 구동한다고 가정한다. 여기서 (+)는 공통 전압에 대한 화소 전압의 극성이 양인 것을 나타내고, (-)는 공통 전압에 대한 화소 전압의 극성이 음인 것을 나타낸다.

이때, 첫째 화소 열 중 경계 부분에 인접하는 두 화소의 화소 전극에 인가된 전압 즉, 상부 게이트선 블록의 마지막 게이트선( $G_n$ ) 및 첫 번째 데이터선( $D_1$ )에 전기적으로 연결된 화소 전극에 인가된 전압과, 하부 게이트선 블록의 첫 번째 게이트선( $G_{m+1}$ ) 및 첫 번째 데이터선( $D_1$ )에 전기적으로 연결된 화소 전극에 인가된 전압의 파형은 도2에 도시한 바와 같다.

도2의 (A)에 도시한 바와 같이, 이상적인 경우 상부 게이트선 블록의 마지막 게이트선( $G_n$ )에 연결되는 첫째 화소열의 화소 전극에는 공통 전압( $V_{com}$ ) 보다 낮은 전압인  $V_{pu}$ 가 1 프레임동안 일정하게 인가된다. 그러나, 실제 액정 표시 장치에 있어서는, 화소 전극과 데이터선 사이에 생기는 기생 커패시터 때문에 실제 화소 전극에 인가되는 화소 전압은 데이터선에 공급되는 전압의 영향을 받게 된다.

즉, 도2의 (A)에 도시한 바와 같이 첫 번째 데이터선( $D_1$ )에 공통 전압에 대한 극성이 주기적으로 반복되는 계조 전압이 공급되기 때문에 (도2에서는 설명의 편의를 위해 공통 전압을 대칭으로 하는 계조 전압이 공급되는 것으로 가정하였음), 실제 화소 전극에 인가되는 전압( $V_a$ )은 도2의 (B)에 도시한 바와 같이 된다.

이를 구체적으로 설명하면, 도2의 (A) 및 (B)에 도시한 바와 같이 (-) 극성을 갖는 화소 전압( $V_{pu}$ )이 인가된 경우에, (+) 극성의 계조 전압이 데이터선에 공급되는 경우에는 기생 커패시터의 영향에 의해 실제 화소 전압( $V_a$ )은 이상적인 경우( $V_{pu}$ )에 비해  $\Delta V$ 만큼 공통 전압 방향 쪽으로 끌리게 된다. 이와는 반대로 (-) 극성의 계조 전압이 데이터선에 공급되는 경우에는  $\Delta V$ 만큼 공통 전압 방향의 반대쪽으로 끌리게 된다.

한편, 도2의 (C)에 도시한 바와 같이 이상적인 경우 하부 게이트선 블록의 첫 번째 게이트선( $G_{m+1}$ )에 연결되는 첫째 화소열의 화소 전극에는 공통 전압( $V_{com}$ ) 보다 높은 전압인  $V_{pd}$ 가 1 프레임동안 일정하게 인가된다. 또한, 첫 번째 데이터선( $D_1$ )에는 데이터선( $D_1$ )에 인가되는 계조 전압의 극성과 같은 극성을 가지는 계조 전압이 공급된다. 이는 도1에 도시한 바와 같이 각각 상부 게이트선 블록과 하부 게이트선 블록의 첫 번째 게이트선부터 주사가 시작되며, 또한 각각 상부 및 하부 게이트선 블록의 첫 번째 게이트선에 연결된 화소 전압의 극성이 같기 때문이다.

따라서, 기생 커패시터의 영향으로 실제 화소 전극에 인가되는 전압은 도2의 (D)에 도시한 바와 같은 파형을 갖는다. 즉, 도2의 (C) 및 (D)에 도시한 바와 같이 (+) 극성을 갖는 화소 전압( $V_{pd}$ )이 인가된 경우에, (+) 극성의 계조 전압이 데이터선에 공급되는 경우에는 기생 커패시터의 영향에 의해 실제 화소 전압( $V_b$ )은 이상적인 경우( $V_{pd}$ )에 비해  $\Delta V$ 만큼 공통 전압 방향의 반대쪽으로 끌리게 되고, (-) 극성의 계조 전압이 데이터선에 공급되는 경우에는  $\Delta V$ 만큼 공통 전압 방향으로 끌리게 된다.

결과적으로 경계면에 있는 두 화소 행의 화소에는 데이터선에 공급되는 전압이 서로 반대 방향으로 영향을 미치기 때문에, 실제 화소에 인가되는 전압과 공통 전압의 차는 도2의 (B) 및 (D)에 빗금으로 나타낸 바와 같이 서로 다르게 된다. 따라서, 경계 부분의 화소에 있는 액정 물질을 투과하는 빛의 양의 차이가 급격해 경계부분에서 휘도 불균일이 생기며, 이에 따라 상측 패널과 하측 패널의 경계 부분에 줄무늬 모양이 표시되는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 이와 같은 문제점을 해결하기 위한 것으로서 표시 화면을 분할하여 구동하는 데 있어서, 경계 부분에서의 휘도 불균일 현상을 방지하기 위한 것이다.

#### 발명의 구성 및 작용

본 발명은 이와 같은 목적을 달성하기 위한 것으로서 액정 표시 패널을 각각 상부 패널 및 하부 패널로 분할하여 게이트선에 주사신호를 공급하는 경우에 상부 패널의 주사 방향과 하부 패널의 주사 방향을 반대로 한다. 이렇게 함으로써 패널 경계 부분에서의 휘도의 불균일을 방지한다.

본 발명의 하나의 특징에 따른 액정 표시 장치는

각각 주사신호를 전송하는 다수의 제1 게이트선 및 다수의 제2 게이트선으로 이루어진 제1 및 제2 게이트선 블록; 화상 신호를 전송하며 상기 제1 게이트선 블록의 게이트선과 교차하는 다수의 제1 데이터선; 상기 제1 데이터선과 분리되며, 상기 제2 게이트선 블록의 게이트선과 교차하는 다수의 제2 데이터선; 상기 제1 게이트선 및 제2 데이터선에 의해 둘러싸인 영역에 형성되어 행렬 형태로 배열되며 각각 상기 제1 게이트선 및 제2 데이터선에 연결되어 있는 스위칭 소자를 가지는 다수의 화소를 포함한다. 여기서, 상기 제1 게이트선과 상기 제2 게이트선은 서로 반대로 주사된다.

이때, 상기 제1 게이트선과 상기 제2 게이트선의 수는 동일한 것이 바람직하며, 또한 상기 제1 게이트선 및 제2 게이트선은 동시에 주사되는 것이 바람직하다.

한편, 본 발명의 다른 특징에 따른 액정 표시 장치는

가로방향으로 형성된 다수의 제1 게이트선으로 이루어진 제1 게이트선 블록, 상기 제1 게이트선 블록의

아래에 형성되며 다수의 제2 게이트선으로 이루어지는 제2 게이트선 블록, 각각 상기 제1 게이트선 블록의 제1 게이트선과 상기 제2 게이트선 블록의 제2 게이트선과 교차하며 서로 분리되어 있는 다수의 제1 및 제2 데이터선, 상기 게이트선 및 데이터선에 의해 둘러싸인 영역에 형성되며 각각 상기 게이트선 및 데이터선에 연결되어 있는 스위칭 소자와 공통 전압이 인가되는 공통 전극을 가지는 행렬 형태로 배열된 다수의 화소를 포함하는 액정 표시 장치 패널; 각각 상기 제1 데이터선 및 제2 데이터선에 화상 신호를 나타내는 게조 전압을 인가하는 제1 및 제2 데이터 구동부; 각각 상기 제1 및 제2 게이트선 블록의 게이트선에 서로 반대 방향으로 주사 신호를 순차적으로 인가하는 제1 및 제2 게이트 구동부; 외부로부터 화상 신호를 입력받아 쓰기 클럭 신호에 동기하여 상기 제1 데이터선에 인가되는 화상 신호를 기록하고 읽기 클럭 신호에 동기하여 기록된 화상 신호를 상기 제1 데이터 구동부로 출력하는 제1 프레임 메모리; 외부로부터 화상 신호를 입력받아 쓰기 클럭 신호에 동기하여 상기 제2 데이터선에 인가되는 화상 신호를 기록하고 읽기 클럭 신호에 동기하여 기록된 화상 신호를 상기 제2 데이터 구동부로 출력하는 제2 프레임 메모리를 포함한다.

여기서, 동일한 화소열에서 상기 제1 게이트선 블록의 인접하는 게이트선에 연결된 화소에 인가되는 게조 전압의 상기 공통 전압에 대한 극성은 서로 반대이며, 동일한 화소열에서 상기 제2 게이트선 블록의 인접하는 게이트선에 연결된 화소에 인가되는 게조 전압의 상기 공통 전압에 대한 극성은 서로 반대인 것이 바람직하다.

상기 제1 게이트 구동부는 상기 제1 게이트선 블록의 마지막 게이트선에서 첫 번째 게이트선 방향으로 주사신호를 게이트선에 순차적으로 인가하고, 상기 제2 게이트 구동부는 상기 제2 게이트선 블록의 첫 번째 게이트선에서 마지막 게이트선 방향으로 주사신호를 게이트선에 순차적으로 인가할 수 있다. 이 경우 상기 제1 프레임 메모리는 상기 제1 데이터선에 인가되는 화상 신호를 기록하는 순서와 반대의 순서로 기록된 화상 신호를 상기 제1 데이터 구동부로 출력하며, 상기 제2 프레임 메모리는 상기 제2 데이터선에 인가되는 화상 신호를 기록하는 순서와 같은 순서로 기록된 화상 신호를 상기 제2 데이터 구동부로 출력한다.

또한, 상기 제1 게이트 구동부는 상기 제1 게이트선 블록의 첫 번째 게이트선에서 마지막 게이트선 방향으로 주사신호를 게이트선에 순차적으로 인가하고, 상기 제2 게이트 구동부는 상기 제2 게이트선 블록의 마지막 게이트선에서 첫 번째 게이트선 방향으로 주사신호를 게이트선에 순차적으로 인가할 수 있다. 이 경우 상기 제1 프레임 메모리는 상기 제1 데이터선에 인가되는 화상 신호를 기록하는 순서와 같은 순서로 기록된 화상 신호를 상기 제1 데이터 구동부로 출력하며, 상기 제2 프레임 메모리는 상기 제2 데이터선에 인가되는 화상 신호를 기록하는 순서와 반대의 순서로 기록된 화상 신호를 상기 제2 데이터 구동부로 출력한다.

한편, 본 발명의 특징에 따른 액정 표시 장치의 구동 방법은

가로방향으로 형성된 다수의 제1 게이트선으로 이루어진 제1 게이트선 블록, 상기 제1 게이트선 블록의 아래에 형성되며 다수의 제2 게이트선으로 이루어지는 제2 게이트선 블록과 각각 상기 제1 게이트선 블록의 제1 게이트선과 상기 제2 게이트선 블록의 제2 게이트선과 교차하며 서로 분리되어 있는 다수의 제1 및 제2 데이터선을 포함하는 액정 표시 장치의 구동 방법으로서,

각각 상기 제1 게이트선 블록의 제1 게이트선과 상기 제2 게이트선 블록의 제2 게이트선에 서로 반대 방향으로 주사 신호를 순차적으로 인가하는 단계; 각각 상기 제1 및 제2 데이터선에 화상 신호를 나타내는 게조 전압을 공급함으로써 상기 주사 신호가 공급되는 상기 게이트선 연결되어 있는 화소에 상기 게조 전압을 인가하는 단계를 포함한다.

여기서, 상기 제1 게이트선 블록이 마지막 게이트선에서 첫 번째 게이트선 방향으로 주사신호가 순차적으로 인가되고 상기 제2 게이트선 블록은 첫 번째 게이트선에서 마지막 게이트선 방향으로 주사신호가 순차적으로 인가되는 경우, 상기 구동 방법은

외부로부터 입력되는 화상 신호 중 상기 제1 데이터선에 인가될 화상 신호를 제1 프레임 메모리에 기록하는 단계; 외부로부터 입력되는 화상 신호 중 상기 제2 데이터선에 인가될 화상 신호를 제2 프레임 메모리에 기록하는 단계; 상기 제1 프레임 메모리에 기록된 순서와 반대의 순서로 상기 화상 신호를 상기 제1 데이터선으로 출력하는 단계; 상기 제2 프레임 메모리에 기록된 순서와 같은 순서로 상기 화상 신호를 상기 제2 데이터선으로 출력하는 단계를 더 포함한다.

또한, 상기 제1 게이트선 블록이 첫 번째 게이트선에서 마지막 게이트선 방향으로 주사신호가 순차적으로 인가되고 상기 제2 게이트선 블록이 마지막 게이트선에서 첫 번째 게이트선 방향으로 주사신호가 순차적으로 인가되는 경우, 상기 구동 방법은

외부로부터 입력되는 화상 신호 중 상기 제1 데이터선에 인가될 화상 신호를 제1 프레임 메모리에 기록하는 단계; 외부로부터 입력되는 화상 신호 중 상기 제2 데이터선에 인가될 화상 신호를 제2 프레임 메모리에 기록하는 단계; 상기 제1 프레임 메모리에 기록된 순서와 같은 순서로 상기 화상 신호를 상기 제1 데이터선으로 출력하는 단계; 상기 제2 프레임 메모리에 기록된 순서와 반대의 순서로 상기 화상 신호를 상기 제2 데이터선으로 출력하는 단계를 더 포함한다.

이하에서는 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.

도3은 본 발명의 실시예에 따른 액정 표시 장치를 나타내는 도면이다.

도3에 도시한 바와 같이, 본 발명의 실시예에 따른 액정 표시 장치는 액정 표시 장치 패널(100), 상부 및 하부 데이터 구동부(210, 220), 상부 및 하부 게이트 구동부(310, 320), 상부 및 하부 프레임 메모리로 이루어진 프레임 메모리(400)와 타이밍 제어기(500)를 포함한다.

액정 표시 장치 패널(100)에는 게이트 온 신호를 전달하기 위한 2m개의 게이트선(G<sub>1</sub>, G<sub>2</sub>, ..., G<sub>m</sub>, G<sub>m+1</sub>, ..., G<sub>2m</sub>)이 형성되어 있으며, 화상 신호를 나타내는 게조 전압을 전달하기 위한 데이터선(D<sub>1</sub>, D<sub>2</sub>, ..., D<sub>N</sub>; C<sub>1</sub>, C<sub>2</sub>, ..., C<sub>N</sub>)이 형성되어 있다. 게이트선과 데이터선에 의해 둘러싸인 영역은 각각 화소를 이루며,

각 화소는 도4에 도시한 바와 같이 게이트선과 데이터선에 각각 게이트 전극 및 소스 전극이 연결되는 박막 트랜지스터(110)와 박막 트랜지스터(110)의 드레인 전극에 연결되는 화소 전극(120)과 공통 전압이 인가되는 공통 전극(도시하지 않음)을 포함한다. 여기서,  $2m$ 개의 게이트선은 각각  $m$ 개의 게이트선 ( $G1, G2, \dots, Gm$ ), ( $Gm+1, \dots, G2m$ )으로 이루어진 상부 및 하부 게이트선 블록으로 분리된다. 또한, 상부 게이트선 블록의 게이트선( $G1, G2, \dots, Gm$ )에 대응하는 화소에 연결된 상부 데이터선( $D1, D2, \dots, Dn$ )과 하부 게이트선 블록의 게이트선( $Gm+1, \dots, G2m$ )에 대응하는 화소에 연결된 하부 데이터선( $C1, C2, \dots, Cn$ )은 서로 분리되어 있다. 즉, 본 발명의 실시예에 따른 액정 표시 장치 패널은 상부 패널(140) 및 하부 패널(150)로 이루어진다. 여기서, 상부 패널(140)은 상부 게이트선 블록과 상부 데이터선( $D1, D2, \dots, Dn$ )을 포함하며, 하부 패널(150)은 하부 게이트선 블록과 하부 데이터선( $C1, C2, \dots, Cn$ )을 포함한다.

상부 및 하부 게이트 구동부(210, 220)는 각각 상부 및 하부 게이트선 블록에 연결되어 각각 게이트선 블록의 게이트선에 순차적으로 게이트 온 전압을 인가한다. 이때, 본 발명의 실시예에 따르면 상부 및 하부 게이트 구동부(310, 320)는 서로 반대의 주사 방향으로 각 게이트선에 게이트 온 전압을 순차적으로 인가한다. 즉, 예컨대 상부 게이트 구동부(310)가 상부 게이트선 블록의 첫째 게이트선( $G1$ )부터  $m$ 번째 게이트선( $Gm$ ) 방향으로 즉, 위에서 아래 방향으로 게이트 온 전압을 순차적으로 구동하는 경우에는 하부 게이트 구동부(320)는 하부 게이트선 블록의 마지막 게이트선( $G2m$ )부터 첫 번째 게이트선( $Gm+1$ ) 방향으로 즉, 아래에서 위 방향으로 게이트 온 전압을 순차적으로 구동한다. 이와 마찬가지로, 본 발명의 실시예에 따르면 상부 게이트 구동부(310)가 아래에서 위 방향으로 게이트 온 전압을 게이트선에 순차적으로 인가하는 경우에는 하부 게이트 구동부(320)는 위에서 아래 방향으로 게이트 온 전압을 게이트선에 인가한다.

상부 및 하부 데이터 구동부(210, 220)는 각각 액정 표시 장치 패널의 상부 및 하부에 형성되며, 각각 상부 및 하부 프레임 메모리(410, 420)에 연결되어 각각 상부 데이터선( $D1, D2, \dots, Dn$ ) 및 하부 데이터선( $C1, C2, \dots, Cn$ )에 화상 신호를 나타내는 계조 전압을 인가한다.

타이밍 제어기(500)는 외부로부터 화상 데이터 신호(DATA), 메인 클럭(MCLK), 수평 동기 신호(Hsync), 수직 동기 신호(Vsync)를 입력받아 필요한 타이밍 신호를 각각 프레임 메모리(400), 상부 및 하부 게이트 구동부(310, 320), 상부 및 하부 데이터 구동부(210, 220)에 공급한다.

상부 및 하부 프레임 메모리(410, 420)는 각각 타이밍 제어기(500)로부터 공급되는 쓰기 클럭 신호(WCLK)와 쓰기 클럭신호(WCLK)의 주파수의 1/2인 읽기 클럭 신호(RCLK)에 동기하여 각각 상부 데이터 구동부 및 하부 데이터 구동부(210, 220)에 인가될 화상 데이터 신호를 쓰고 읽는다.

그러면, 본 발명의 제1 실시예에 따른 액정 표시 장치의 동작을 설명한다. 도4a 및 도4b는 쓰기 클럭(WCLK)과 읽기 클럭(RCLK;  $RCLK=WCLK/2$ )에 동기하여 각각 프레임 메모리에 데이터가 입력되고 출력되는 데이터의 타이밍을 나타내는 도면이다.

먼저, 외부로부터 화상 데이터 신호(DATA), 메인 클럭(MCLK), 프레임 동기 신호인 수직 동기 신호(Vsync), 수평 라인(즉, 주사 라인)의 동기 신호인 수평 동기 신호(Hsync)가 타이밍 제어기(500)로 입력된다.

프레임 메모리는 도4a에 도시한 바와 같이 타이밍 제어기(500)로부터 출력되는 쓰기 클럭(WCLK)에 동기하여 데이터를 기록한다. 즉, 첫 번째 화소 행에 인가될 화상 데이터( $d1$ )부터 차례로 쓰기 클럭신호(WCLK)에 동기하여 상부 프레임 메모리(410)에 기록된다. 이때, 상부 프레임 메모리(410)에는 첫 번째 화소 행에서부터  $m$ 번째 화소 행에 인가될 즉, 상부 게이트선 블록의 게이트선에 대응되는 화소 행에 인가될 화상 데이터( $d1, d2, \dots, dm$ )가 기록된다. 하부 게이트선 블록의 첫 번째 게이트선( $Gm+1$ )에 대응되는 화소 행에 인가될 화상 데이터( $dm+1$ )부터 그 이후의 화상 데이터( $dm+2, \dots, d2m$ )는 차례로 쓰기 클럭신호(WCLK)에 동기하여 하부 프레임 메모리(420)에 기록된다.

상기와 같이 상부 및 하부 프레임 메모리(410, 420)에 각 화소 행에 인가될 화상 데이터가 모두 기록되면, 도4b에 도시한 바와 같이 읽기 클럭신호(RCLK)에 동기하여 상부 데이터 구동부 또는 하부 게이트 구동부(210, 220)로 화상 데이터가 전송된다. 이때, 본 발명의 제1 실시예에 따르면 상부 데이터 구동부(210)에 전송되는 화상 데이터는 상부 프레임 메모리(410)에 기록되는 순서와는 반대로 즉,  $dm, dm-1, dm-2, \dots, d2, d1$ 의 순서로 전송되고, 하부 데이터 구동부(220)에 전송되는 화상 데이터는 하부 프레임 메모리(420)에 기록되는 순서와 같은 순서로 전송된다. 따라서, 본 발명의 실시예에 따른 프레임 메모리로는 기록되는 순서와는 반대의 순서로 어드레싱(addressing)이 가능한 메모리를 사용해야 한다.

상부 및 하부 데이터 구동부(210, 220)에 클럭(MCLK)에 동기되어 전송된 화상 데이터 신호는 각각 대응하는 계조 전압으로 바뀐 후, 타이밍 제어기(500)로부터 출력되는 로드(LOAD) 신호에 따라 상부 데이터선( $D1, D2, \dots, Dn$ ) 및 하부 데이터선( $C1, C2, \dots, Cn$ )에 라인 단위로 인가된다.

상부 및 하부 게이트 구동부(310, 320)는 타이밍 제어기(500)로부터 출력되는 시작 신호(STV)와 게이트 클럭(CPU)에 동기되어 상부 게이트 게이트선 블록의 게이트선과 하부 게이트선 블록의 게이트선에 주사 신호인 게이트 온 전압을 동시에 인가한다. 이때, 본 발명의 제1 실시예에 따르면 상부 게이트 구동부(310)는 상부 게이트선 블록의 마지막 게이트선( $Gm$ )부터 첫 번째 게이트선( $G1$ )의 순서로 즉, 아래에서 위 방향으로 게이트 온 전압을 순차적으로 인가하고, 하부 게이트 구동부(320)는 하부 게이트선 블록의 첫 번째 게이트선( $Gm+1$ )부터 마지막 게이트선( $G2m$ )의 순서로 즉, 위에서 아래 방향으로 게이트 온 전압을 순차적으로 인가한다.

그러면, 게이트 온 전압이 인가된 게이트선에 연결된 박막 트랜지스터는 턴온되며, 이에 따라 데이터선에 공급된 계조 전압이 턴온된 박막 트랜지스터를 통해 화소 전극에 전달되어 원하는 화상이 표시되게 된다.

이와 같은 본 발명의 실시예에 따르면, 이하에서 설명하는 바와 같이 도트 반전 또는 라인 반전으로 액정 표시 장치 구동하는 경우에 화면 중앙에 줄무늬 모양이 생기는 종래 액정 표시 장치의 문제점을 극복할 수 있다.

도5는 본 발명의 제1 실시예에 따른 액정 표시 장치 패널의 극성 상태와 상부 및 하부 게이트 구동부(310, 320)의 주사 방향을 나타내는 도면이며, 도6은 본 발명의 제1 실시예에 따른 각종 신호의 파

형을 나타내는 도면이다.

도5에서, (+)와 (-)는 각각 공통 전압에 대한 화소 전압의 극성이 양인 것을 나타내고, (-)는 공통 전압에 대한 화소 전압의 극성이 음인 것을 나타낸다. 이하에서는 첫째 화소열의 인접하는 두 화소를 예로 들어 설명한다.

도6의 (A)에 도시한 바와 같이, 이상적인 경우 상부 게이트선 블록의 마지막 게이트선( $6n$ )에 연결되는 첫째 화소열의 화소 전극에는 공통 전압( $V_{com}$ ) 보다 낮은 전압인  $V_{pu}$ 가 1 프레임동안 일정하게 인가된다. 그러나, 실제 액정 표시 장치에 있어서는, 화소 전극과 데이터선 사이에 생기는 기생 커패시터 때문에 실제 화소 전극에 인가되는 화소 전압은 데이터선에 공급되는 전압의 영향을 받게 된다. 즉, 도6의 (A)에 도시한 바와 같이 첫 번째 상부 데이터선( $D1$ )에 공통 전압에 대한 극성이 주기적으로 반복되는 계조 전압이 공급되기 때문에 실제 화소 전극에 인가되는 전압( $V_a$ )은 도6의 (B)에 도시한 바와 같이 된다. 이때, 데이터선( $D1$ )에 공급되는 계조 전압은 게이트선이 아래에서 위 방향으로 주사되고 또한 첫째 화소열의 마지막 게이트선( $6n$ )에 대응되는 화소 전극의 극성이 음이기 때문에 도6의 (A)에 도시한 바와 같이 음, 양, 음, 양, ...의 순서로 반전된다.

이를 구체적으로 설명하면, 도6의 (A) 및 (B)에 도시한 바와 같이 (-) 극성을 갖는 화소 전압( $V_{pu}$ )이 인가된 경우에, (-) 극성의 계조 전압이 데이터선에 공급되는 경우에는 기생 커패시터( $C_p$ )의 영향에 의해 실제 화소 전압( $V_a$ )은 이상적인 경우( $V_{pu}$ )에 비해  $\Delta V$ 만큼 공통 전압의 반대 방향으로 끌리게 된다. 이와는 반대로 (+) 극성의 계조 전압이 데이터선에 공급되는 경우에는  $\Delta V$ 만큼 공통 전압 방향으로 끌리게 된다.

한편, 도6의 (C)에 도시한 바와 같이, 이상적인 경우 하부 게이트선 블록의 첫 번째 게이트선( $6n+1$ )에 연결되는 첫째 화소열의 화소 전극에는 공통 전압( $V_{com}$ ) 보다 높은 전압인  $V_{pd}$ 가 1 프레임동안 일정하게 인가된다. 또한, 첫 번째 하부 데이터선( $C1$ )에는 데이터선( $D1$ )에 인가되는 계조 전압과는 다른 극성을 가지는 계조 전압이 공급된다. 이는 도5에 도시한 바와 같이 각각 상부 게이트선 블록은 아래에서 위 방향으로 주사가 되고 하부 게이트선 블록은 위에서 아래 방향으로 주사가 되며, 또한 각각 상부 게이트선 블록의 마지막 게이트선( $6n$ )과 하부 게이트선 블록의 첫 번째 게이트선( $6n+1$ )에 연결된 화소 전압의 다르기 때문이다. 따라서, 기생 커패시터( $C_p$ )의 영향으로 실제 화소 전극에 인가되는 전압은 도6의 (D)에 도시한 바와 같은 파형을 갖는다. 즉, 도6의 (C) 및 (D)에 도시한 바와 같이 (+) 극성을 갖는 화소 전압( $V_{pd}$ )이 인가된 경우에, (+) 극성의 계조 전압이 데이터선에 공급되는 경우에는 기생 커패시터( $C_p$ )의 영향에 의해 실제 화소 전압( $V_b$ )은 이상적인 경우( $V_{pd}$ )에 비해  $\Delta V$ 만큼 공통 전압 방향의 반대쪽으로 끌리게 되고, (-) 극성의 계조 전압이 데이터선에 공급되는 경우에는  $\Delta V$ 만큼 공통 전압 방향으로 끌리게 된다.

이와 같이, 본 발명의 제1 실시예에 따르면 결과적으로 경계면에 있는 두 화소 행의 화소에는 데이터선에 공급되는 전압이 같은 방향으로 영향을 미치기 때문에, 실제 화소에 인가되는 전압과 공통 전압의 차는 도6의 (B) 및 (D)에 빗금으로 나타낸 바와 같이 같게 된다. 따라서, 경계 부분의 화소에 있는 액정 물질을 투과하는 빛의 양의 차이가 적어 경계부분에서의 휘도가 거의 균일하게 된다. 따라서, 종래와 같은 상측 패널과 하측 패널의 경계 부분에 줄무늬 모양이 표시되는 현상이 없어지게 된다.

다음은 본 발명의 제2 실시예에 따른 액정 표시 장치의 동작을 설명한다.

도7은 본 발명의 제2 실시예에 따른 액정 표시 장치 패널의 극성 상태와 상부 및 하부 게이트 구동부의 주사 방향을 나타내는 도면이며, 도8은 본 발명의 제2 실시예에 따른 각종 신호의 파형을 나타내는 도면이다.

도7에 도시한 바와 같이, 본 발명의 제2 실시예에 따르면 경계 부분에 인접하는 두 화소의 극성은 같은 극성을 가지며, 그 외의 화소는 경계 부분에 인접한 화소를 중심으로 각각 반전한다. 이하에서는 첫째 화소열의 인접하는 두 화소를 예로 들어 설명한다.

도8의 (A)에 도시한 바와 같이, 이상적인 경우 상부 게이트선 블록의 마지막 게이트선( $6n$ )에 연결되는 첫째 화소열의 화소 전극에는 공통 전압( $V_{com}$ ) 보다 높은 전압인  $V_{pu}$ 가 1 프레임동안 일정하게 인가된다. 그러나, 실제 액정 표시 장치에 있어서는, 화소 전극과 데이터선 사이에 생기는 기생 커패시터( $C_p$ ) 때문에 실제 화소 전극에 인가되는 화소 전압은 데이터선에 공급되는 전압의 영향을 받게 된다.

즉, 도8의 (A)에 도시한 바와 같이 첫 번째 상부 데이터선( $D1$ )에 공통 전압에 대한 극성이 주기적으로 반복되는 계조 전압이 공급되기 때문에 실제 화소 전극에 인가되는 전압( $V_a$ )은 도8의 (B)에 도시한 바와 같이 된다. 이때, 데이터선( $D1$ )에 공급되는 계조 전압은 게이트선이 아래에서 위 방향으로 주사되고 또한 첫째 화소열의 마지막 게이트선( $6n$ )에 대응되는 화소 전극의 극성이 양이기 때문에 도8의 (A)에 도시한 바와 같이 양, 음, 양, 음, ...의 순서로 반전된다.

이를 구체적으로 설명하면, 도8의 (A) 및 (B)에 도시한 바와 같이 (+) 극성을 갖는 화소 전압( $V_{pu}$ )이 인가된 경우에, (+) 극성의 계조 전압이 데이터선에 공급되는 경우에는 기생 커패시터의 영향에 의해 실제 화소 전압( $V_a$ )은 이상적인 경우( $V_{pu}$ )에 비해  $\Delta V$ 만큼 공통 전압 방향과 반대쪽으로 끌리게 된다. 이와는 반대로 (-) 극성의 계조 전압이 데이터선에 공급되는 경우에는  $\Delta V$ 만큼 공통 전압 방향으로 끌리게 된다.

한편, 도8의 (C)에 도시한 바와 같이, 이상적인 경우 하부 게이트선 블록의 첫 번째 게이트선( $6n+1$ )에 연결되는 첫째 화소열의 화소 전극에는 공통 전압( $V_{com}$ ) 보다 높은 전압인  $V_{pd}$ 가 1 프레임동안 일정하게 인가된다. 또한, 첫 번째 하부 데이터선( $C1$ )에는 데이터선( $D1$ )에 인가되는 계조 전압과는 같은 극성을 가지는 계조 전압이 공급된다. 이는 도7에 도시한 바와 같이 각각 상부 게이트선 블록은 아래에서 위 방향으로 주사가 되고 하부 게이트선 블록은 위에서 아래 방향으로 주사가 되며, 또한 각각 상부 게이트선 블록의 마지막 게이트선( $6n$ )과 하부 게이트선 블록의 첫 번째 게이트선( $6n+1$ )에 연결된 화소 전압의 극성이 같기 때문이다. 따라서, 기생 커패시터( $C_p$ )의 영향으로 실제 화소 전극에 인가되는 전압은 도8의 (D)에 도시한 바와 같은 파형을 갖는다.

도8에 도시한 바와 같이, 본 발명의 제2 실시예에서도 결과적으로 경계면에 있는 두 화소 행의 화소에는 데이터선에 공급되는 전압이 같은 방향으로 영향을 미치기 때문에, 실제 화소에 인가되는 전압과 공통 전압의 차는 도8의 (B) 및 (D)에 빗금으로 나타낸 바와 같이 같게 된다. 따라서, 경계 부분의 화소에 있는 액정 물질을 투과하는 빛의 양의 차이가 적어 경계부분에서의 휘도가 거의 균일하게 된다. 따라서, 종래와 같은 상측 패널과 하측 패널의 경계 부분에 줄무늬 모양이 표시되는 현상이 없어지게 된다.

이상에서 설명한 본 발명의 실시예에서는 상부 게이트 구동부에 연결된 게이트선은 아래에서 위 방향으로 주사되고, 하부 게이트 구동부에 연결된 게이트선은 위에서 아래 방향으로 주사되었다.

그러나, 본 발명의 액정 표시 장치의 구동 방법은 도9a 및 도9b에 도시한 바와 같이 상부 게이트 구동부에 연결된 게이트선은 위에서 아래로 주사되고 하부 게이트 구동부에 연결된 게이트선은 아래에서 위 방향으로 주사하는 경우도 포함한다.

다음은 도9a 및 도9b를 참조하여 본 발명의 제3 및 제4 실시예에 따른 액정 표시 장치의 구동 방법을 설명한다.

도9a 및 도9b에 도시한 바와 같이, 본 발명의 제3 및 제4 실시예에 따른 액정 표시 장치의 구동 방법은 상부 및 하부 액정 표시 장치 패널의 양 끝에서부터 양 패널의 경계 부분 방향으로 게이트선을 주사한다. 즉, 도9a에 도시한 본 발명의 제3 실시예의 액정 표시 장치의 구동 방법에 따르면 상부 및 하부 액정 표시 장치 패널의 양 끝에서부터 양 패널의 경계 부분 방향으로 게이트선이 주사되며 경계부분에 인접한 두 화소에는 서로 다른 극성의 화소 전압이 인가된다. 그리고, 도9b에 도시한 본 발명의 제4 실시예의 액정 표시 장치의 구동 방법에 따르면 상부 및 하부 액정 표시 장치 패널의 양 끝에서부터 양 패널의 경계 부분 방향으로 게이트선이 주사되고 경계 부분에 인접한 두 화소에는 같은 극성의 화소 전압이 인가된다.

이와 같이 본 발명의 제3 및 제4 실시예와 같은 방법으로 게이트선을 구동하기 위해서는, 도3에 도시한 액정 표시 장치 중 상부 프레임 메모리(410)는 화상 데이터의 기록 순서와 같은 순서로 화상 데이터를 상부 데이터 구동부(210)에 전송하고, 하부 프레임 메모리(420)는 화상 데이터의 기록 순서와 반대의 순서로 화상 데이터를 하부 데이터 구동부(220)에 전송한다. 또한, 상부 및 하부 게이트 구동부(310, 320)는 각각 상부 게이트선 블록의 첫 번째 게이트선(61)과 하부 게이트선 블록의 마지막 게이트선(62n)부터 게이트 온 신호를 순차적으로 출력한다. 이외의 구동 방법은 도3을 참조로 하여 이전에 설명한 내용과 동일하다.

본 발명의 제3 및 제4 실시예에 따라 액정 표시 장치를 구동하는 경우에도 이전에 설명한 제1 및 제2 실시예와 마찬가지로 경계면에 있는 두 화소 행의 화소에는 데이터선에 공급되는 전압이 같은 방향으로 영향을 미친다. 이러한 이유에 대하여는 위에서 설명한 실시예로부터 당업자라면 용이하게 알 수 있으므로 그 상세한 설명은 생략한다. 따라서, 경계 부분의 화소에 있는 액정 물질을 투과하는 빛의 양의 차이가 적어 경계부분에서의 휘도가 거의 균일하게 되며, 그 결과 종래와 같은 상측 패널과 하측 패널의 경계 부분에 줄무늬 모양이 표시되는 현상이 없어지게 된다.

#### 발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 상부 패널과 하부 패널의 게이트선의 주사 방향을 반대 방향으로 함으로써 계조 전압에 의한 화소 전압 변동의 영향을 거의 동일하게 미칠 수 있다. 따라서, 상부 패널 및 하부 패널의 경계 부분에서의 휘도 불균일 현상을 방지할 수 있다.

#### (5) 청구의 범위

**청구항 1.** 각각 주사신호를 전송하는 다수의 제1 게이트선 및 다수의 제2 게이트선으로 이루어진 제1 및 제2 게이트선 블록;

화상 신호를 전송하며 상기 제1 게이트선 블록의 게이트선과 교차하는 다수의 제1 데이터선;

상기 제1 데이터선과 분리되며, 상기 제2 게이트선 블록의 게이트선과 교차하는 다수의 제2 데이터선;

상기 게이트선 및 데이터선에 의해 둘러싸인 영역에 형성되어 행렬 형태로 배열되며 각각 상기 게이트선 및 데이터선에 연결되어 있는 스위칭 소자를 가지는 다수의 화소를 포함하며,

상기 제1 게이트선과 상기 제2 게이트선의 주사 방향은 서로 반대인 것을 특징으로 하는 액정 표시 장치.

**청구항 2.** 제1항에서,

상기 제1 게이트선과 상기 제2 게이트선의 수는 동일한 것을 특징으로 하는 액정 표시 장치.

**청구항 3.** 제2항에서,

상기 제1 게이트선 및 제2 게이트선은 동시에 주사되는 것을 특징으로 하는 액정 표시 장치.

**청구항 4.** 가로방향으로 형성된 다수의 제1 게이트선으로 이루어진 제1 게이트선 블록, 상기 제1 게이트선 블록의 아래에 형성되며 다수의 제2 게이트선으로 이루어지는 제2 게이트선 블록, 각각 상기 제1 게이트선 블록의 제1 게이트선과 상기 제2 게이트선 블록의 제2 게이트선과 교차하며 서로 분리되어 있는 다수의 제1 및 제2 데이터선, 상기 게이트선 및 데이터선에 의해 둘러싸인 영역에 형성되며 각각 상기 게이트선 및 데이터선에 연결되어 있는 스위칭 소자와 공통 전압이 인가되는 공통 전극을 가지는 행렬 형태로 배열된 다수의 화소를 포함하는 액정 표시 장치 패널;

각각 상기 제1 데이터선 및 제2 데이터선에 화상 신호를 나타내는 계조 전압을 인가하는 제1 및 제2 데이터 구동부;

각각 상기 제1 및 제2 게이트선 블록의 게이트선에 서로 반대 방향으로 주사 신호를 순차적으로 인가하는

**제1 및 제2 게이트 구동부;**

외부로부터 화상 신호를 입력받아 쓰기 클럭 신호에 동기하여 상기 제1 데이터선에 인가되는 화상 신호를 기록하고 읽기 클럭 신호에 동기하여 기록된 화상 신호를 상기 제1 데이터 구동부로 출력하는 제1 프레임 메모리;

외부로부터 화상 신호를 입력받아 쓰기 클럭 신호에 동기하여 상기 제2 데이터선에 인가되는 화상 신호를 기록하고 읽기 클럭 신호에 동기하여 기록된 화상 신호를 상기 제2 데이터 구동부로 출력하는 제2 프레임 메모리를 포함하는 액정 표시 장치.

**청구항 5. 제4항에서,**

상기 제1 게이트선과 상기 제2 게이트선의 수는 동일한 것을 특징으로 하는 액정 표시 장치.

**청구항 6. 제5항에서,**

상기 제1 및 제2 게이트 구동부는 동시에 주사 신호를 인가하는 것을 특징으로 하는 액정 표시 장치.

**청구항 7. 제5항에서,**

동일한 화소열에서 상기 제1 게이트선 블록의 인접하는 게이트선에 연결된 화소에 인가되는 계조 전압의 상기 공통 전압에 대한 극성은 서로 반대이며,

동일한 화소열에서 상기 제2 게이트선 블록의 인접하는 게이트선에 연결된 화소에 인가되는 계조 전압의 상기 공통 전압에 대한 극성은 서로 반대인 것을 특징으로 하는 액정 표시 장치.

**청구항 8. 제7항에서,**

상기 제1 게이트 구동부는 상기 제1 게이트선 블록의 마지막 게이트선에서 첫 번째 게이트선 방향으로 주사신호를 게이트선에 순차적으로 인가하고, 상기 제2 게이트 구동부는 상기 제2 게이트선 블록의 첫 번째 게이트선에서 마지막 게이트선 방향으로 주사신호를 게이트선에 순차적으로 인가하는 것을 특징으로 하는 액정 표시 장치.

**청구항 9. 제8항에서,**

상기 제1 프레임 메모리는 상기 제1 데이터선에 인가되는 화상 신호를 기록하는 순서와 반대의 순서로 기록된 화상 신호를 상기 제1 데이터 구동부로 출력하며, 상기 제2 프레임 메모리는 상기 제2 데이터선에 인가되는 화상 신호를 기록하는 순서와 같은 순서로 기록된 화상 신호를 상기 제2 데이터 구동부로 출력하는 것을 특징으로 하는 액정 표시 장치.

**청구항 10. 제9항에서,**

동일한 화소열에서 상기 제1 게이트선 블록의 마지막 게이트선에 연결된 화소에 인가되는 계조 전압에 대한 공통 전압의 극성과, 상기 제2 게이트선 블록의 첫 번째 게이트선에 연결된 화소에 인가되는 계조 전압에 대한 공통 전압의 극성은 서로 반대인 것을 특징으로 하는 액정 표시 장치 패널.

**청구항 11. 제9항에서,**

동일한 화소열에서 상기 제1 게이트선 블록의 마지막 게이트선에 연결된 화소에 인가되는 계조 전압에 대한 공통 전압의 극성과, 상기 제2 게이트선 블록의 첫 번째 게이트선에 연결된 화소에 인가되는 계조 전압에 대한 공통 전압의 극성은 서로 같은 것을 특징으로 하는 액정 표시 장치 패널.

**청구항 12. 제7항에서,**

상기 제1 게이트 구동부는 상기 제1 게이트선 블록의 첫 번째 게이트선에서 마지막 게이트선 방향으로 주사신호를 게이트선에 순차적으로 인가하고, 상기 제2 게이트 구동부는 상기 제2 게이트선 블록의 마지막 게이트선에서 첫 번째 게이트선 방향으로 주사신호를 게이트선에 순차적으로 인가하는 것을 특징으로 하는 액정 표시 장치.

**청구항 13. 제12항에서,**

상기 제1 프레임 메모리는 상기 제1 데이터선에 인가되는 화상 신호를 기록하는 순서와 같은 순서로 기록된 화상 신호를 상기 제1 데이터 구동부로 출력하며, 상기 제2 프레임 메모리는 상기 제2 데이터선에 인가되는 화상 신호를 기록하는 순서와 반대의 순서로 기록된 화상 신호를 상기 제2 데이터 구동부로 출력하는 것을 특징으로 하는 액정 표시 장치.

**청구항 14. 제13항에서,**

동일한 화소열에서 상기 제1 게이트선 블록의 마지막 게이트선에 연결된 화소에 인가되는 계조 전압에 대한 공통 전압의 극성과, 상기 제2 게이트선 블록의 첫 번째 게이트선에 연결된 화소에 인가되는 계조 전압에 대한 공통 전압의 극성은 서로 반대인 것을 특징으로 하는 액정 표시 장치 패널.

**청구항 15. 제13항에서,**

동일한 화소열에서 상기 제1 게이트선 블록의 마지막 게이트선에 연결된 화소에 인가되는 계조 전압에 대한 공통 전압의 극성과, 상기 제2 게이트선 블록의 첫 번째 게이트선에 연결된 화소에 인가되는 계조 전압에 대한 공통 전압의 극성은 서로 같은 것을 특징으로 하는 액정 표시 장치 패널.

**청구항 16.** 가로방향으로 형성된 다수의 제1 게이트선으로 이루어진 제1 게이트선 블록, 상기 제1 게이트선 블록의 아래에 형성되며 다수의 제2 게이트선으로 이루어지는 제2 게이트선 블록과 각각 상기 제1 게이트선 블록의 제1 게이트선과 상기 제2 게이트선 블록의 제2 게이트선과 교차하며 서로 분리되어 있는 다수의 제1 및 제2 데이터선을 포함하는 액정 표시 장치의 구동 방법에 있어서,



각각 상기 제1 게이트선 블록의 제1 게이트선과 상기 제2 게이트선 블록의 제2 게이트선에 서로 반대 방향으로 주사 신호를 순차적으로 인가하는 단계;

각각 상기 제1 및 제2 데이터선에 화상 신호를 나타내는 계조 전압을 공급함으로써 상기 주사 신호가 공급되는 상기 게이트선 연결되어 있는 화소에 상기 계조 전압을 인가하는 단계를 포함하는 액정 표시 장치의 구동 방법.

청구항 17. 제16항에서,

상기 제1 게이트선 블록은 마지막 게이트선에서 첫 번째 게이트선 방향으로 주사신호가 순차적으로 인가되고, 상기 제2 게이트선 블록은 첫 번째 게이트선에서 마지막 게이트선 방향으로 주사신호가 순차적으로 인가되는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

청구항 18. 제17항에서,

외부로부터 입력되는 화상 신호 중 상기 제1 데이터선에 인가될 화상 신호를 제1 프레임 메모리에 기록하는 단계;

외부로부터 입력되는 화상 신호 중 상기 제2 데이터선에 인가될 화상 신호를 제2 프레임 메모리에 기록하는 단계;

상기 제1 프레임 메모리에 기록된 순서와 반대의 순서로 상기 화상 신호를 상기 제1 데이터선으로 출력하는 단계;

상기 제2 프레임 메모리에 기록된 순서와 같은 순서로 상기 화상 신호를 상기 제2 데이터선으로 출력하는 단계를 더 포함하는 액정 표시 장치의 구동 방법.

청구항 19. 제16항에서,

상기 제1 게이트선 블록은 첫 번째 게이트선에서 마지막 게이트선 방향으로 주사신호가 순차적으로 인가되고, 상기 제2 게이트선 블록은 마지막 게이트선에서 첫 번째 게이트선 방향으로 주사신호가 순차적으로 인가되는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

청구항 20. 제19항에서,

외부로부터 입력되는 화상 신호 중 상기 제1 데이터선에 인가될 화상 신호를 제1 프레임 메모리에 기록하는 단계;

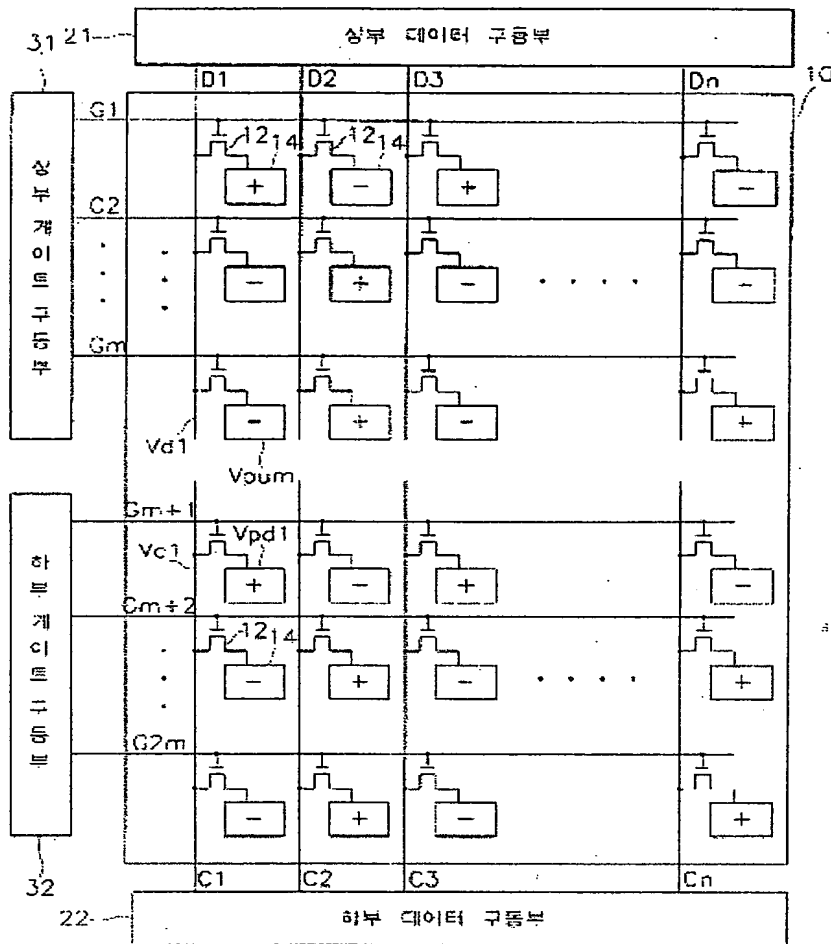
외부로부터 입력되는 화상 신호 중 상기 제2 데이터선에 인가될 화상 신호를 제2 프레임 메모리에 기록하는 단계;

상기 제1 프레임 메모리에 기록된 순서와 같은 순서로 상기 화상 신호를 상기 제1 데이터선으로 출력하는 단계;

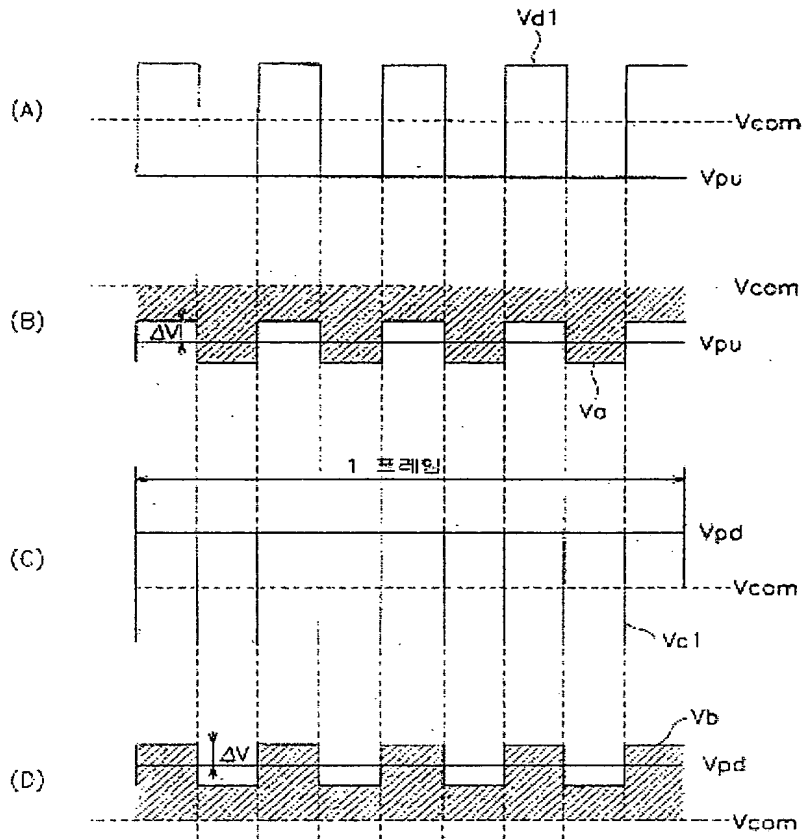
상기 제2 프레임 메모리에 기록된 순서와 반대의 순서로 상기 화상 신호를 상기 제2 데이터선으로 출력하는 단계를 더 포함하는 액정 표시 장치의 구동 방법.

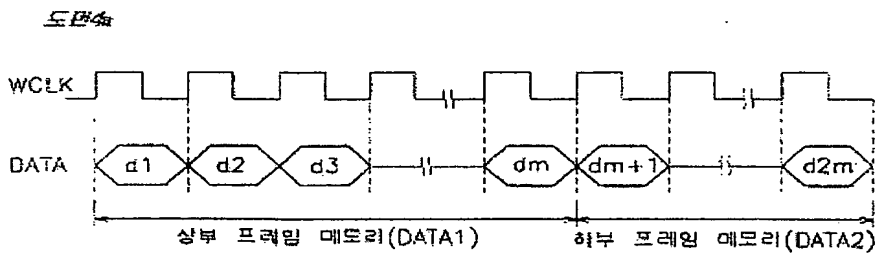
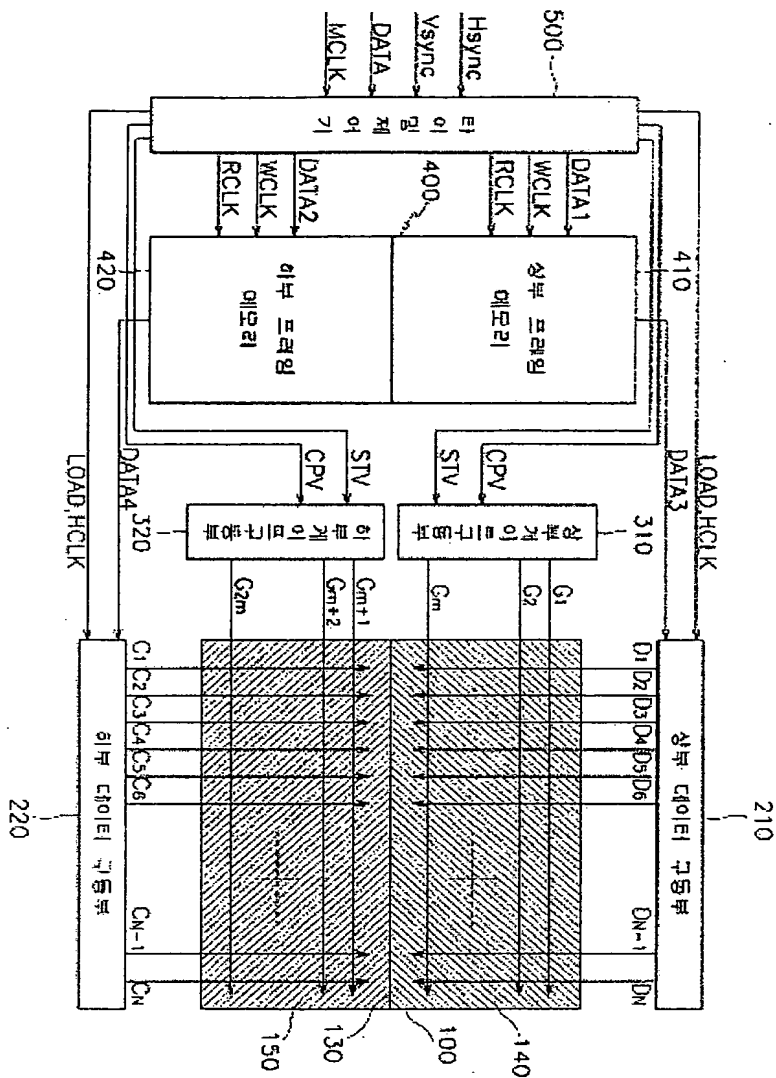
도면

도면1

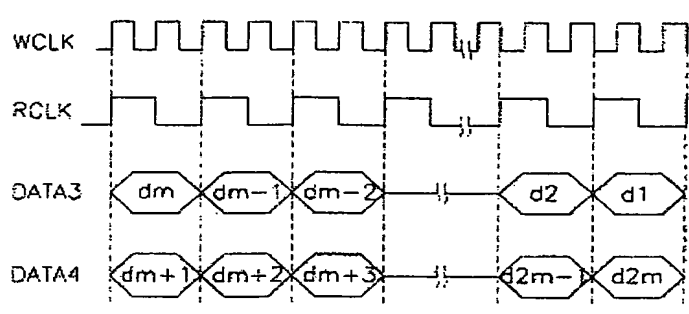


도 B2

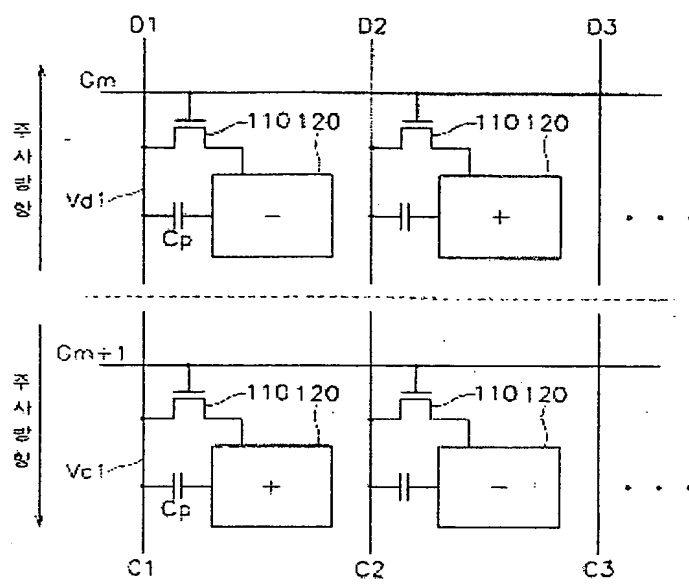




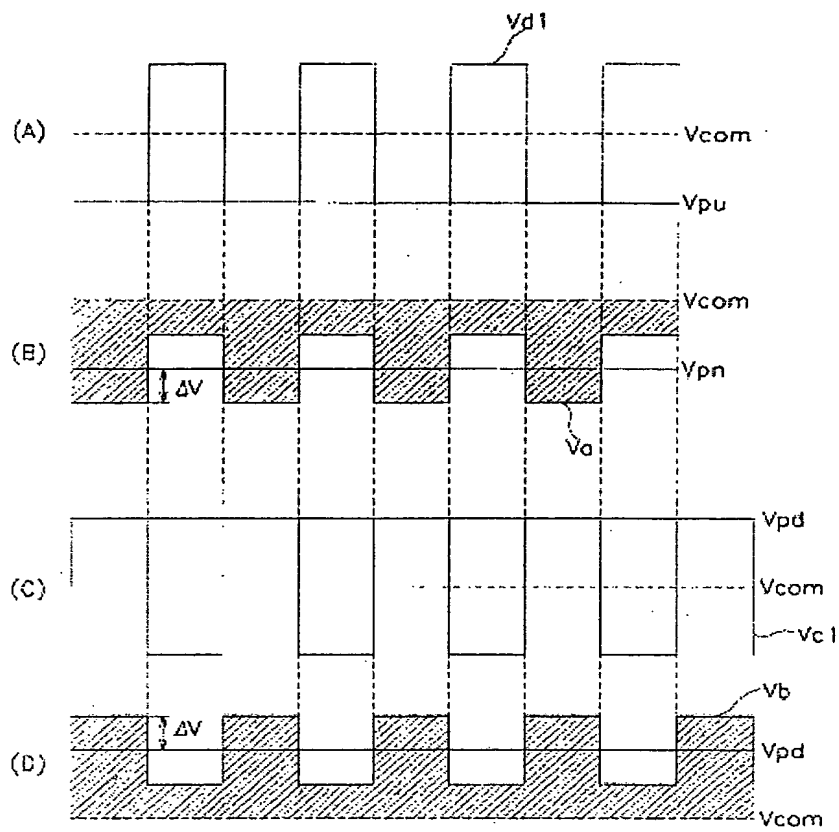
도 14



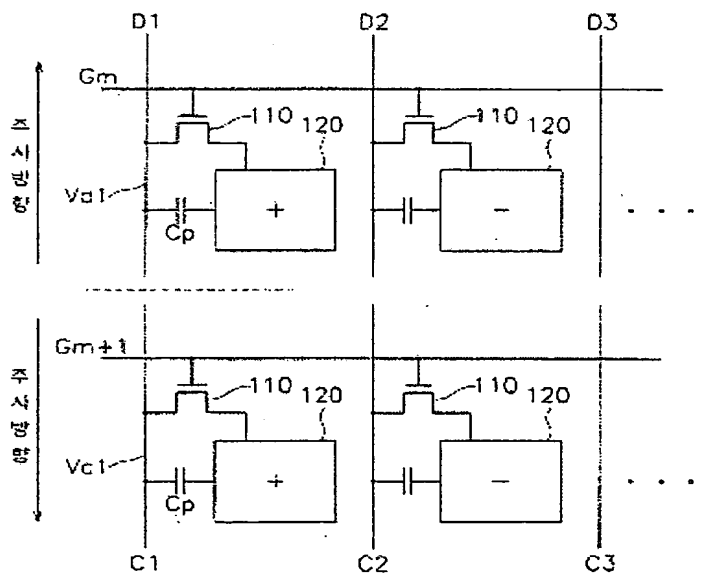
도 15



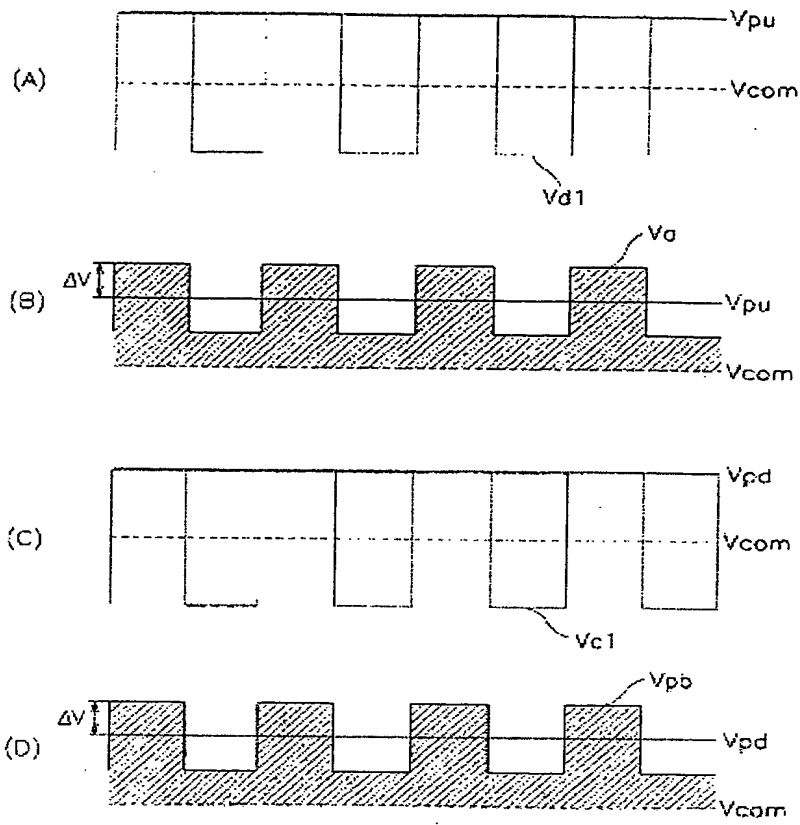
528



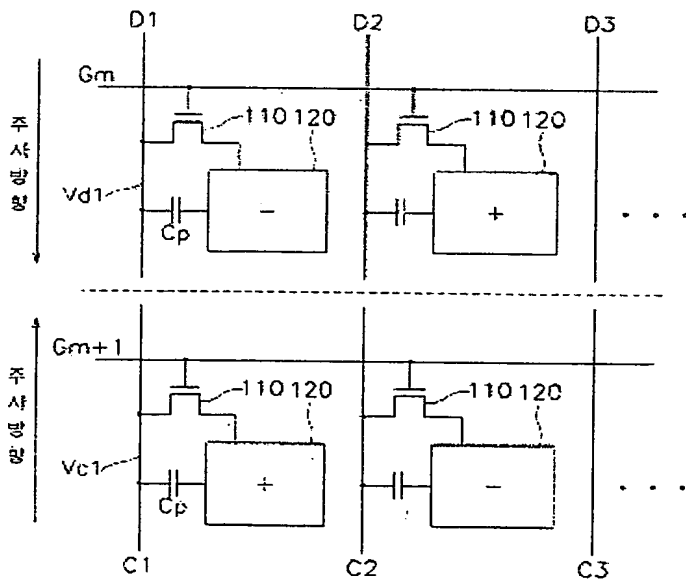
527



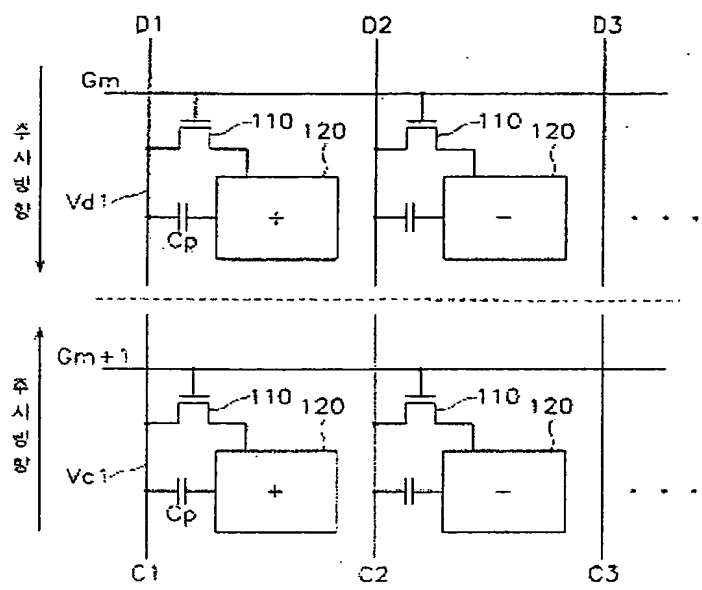
도 2B



도 2Ba



도면 10





**(19) Korean Intellectual Property Office (KR)**

**(12) Laid-open Patent Publication (A)**

(51) Int. Cl. <sup>6</sup> G02F 1/133	(11) Publication No. (43) Publication Date	10-2000-0056611 September 15, 2000
--	---	---------------------------------------

---

(21) Application No.	10-1999-0006086
----------------------	-----------------

(22) Application Date	February 24, 1999
-----------------------	-------------------

---

(71) Applicant	Samsung Electronics Co., Ltd.	YOON, Jong-Yong
	416, Maetan 3-Dong, Paldal-Ku, Suwon, Kyungki-Do	

(72) Inventor	PARK, Un-Yong
	Chukong Apt. 203-602, Uman-Dong, Paldal-Ku, Suwon, Kyungki-Do

PARK, Haeng-Won

Chukong Apt. 71-302, Chamshil 1-Dong, Songpa-Ku, Seoul

(74) Agent	KIM, Won-Ho · KIM, Won-Gun
------------	----------------------------

*Substantive Examination: Yes*

---

**(54) Liquid Crystal Display Device and Its Driving Method**

---

**Abstract**

According to a liquid crystal display device of the present invention, a liquid crystal display panel is divided into an upper panel and a lower panel and the scanning direction of the upper panel is formed to be opposite to that of the lower panel. On the upper panel are formed a first gate line block including a first gate line which is formed in a horizontal direction for transmitting scanning signals, and an upper data line which is formed to intersect the first gate line for transmitting image signals, and on the lower panel are formed a lower gate line block including a second gate line and a lower data line which intersects the second gate line and is separated from the upper data line.

The upper panel and the lower panel are equipped with an upper gate driving part and a lower driving part, respectively, for applying scanning signals to the upper gate line block and the lower gate line block. At this time, the upper gate driving part and the lower driving part apply scanning signals to the gate lines in the opposite directions each other.

According to the liquid crystal display device, it is possible to prevent a phenomenon of luminance non-uniformity in the boundary of a panel.

**Representative Drawing**

FIG. 3

**Index Words**

dual scan, liquid crystal display device, luminance non-uniformity

## ***Specification***

### ***Brief Description of the Drawings***

FIG. 1 is a view showing a liquid crystal display device using a dual scan method.

FIG. 2 is a view showing the wave of a signal in a method for driving a conventional liquid crystal display device.

FIG. 3 is a view showing a liquid crystal display device according to an embodiment of the present invention.

FIG. 4(a) and FIG. 4(b) are views showing a timing of a data which inputs/outputs to/from a frame by synchronizing with a write clock signal and a read clock signal.

FIG. 5 is a view showing a polarity status and scanning direction of a liquid crystal display device according to the first embodiment of the present invention.

FIG. 6 is a view showing the wave of a signal according to the first embodiment of the present invention.

FIG. 7 is a view showing a polarity status and scanning direction of a liquid crystal display device according to the second embodiment of the present invention.

FIG. 8 is a view showing the wave of a signal according to the second embodiment of the present invention.

FIG. 9(a) and FIG. 9(b) are views showing a polarity status and scanning direction of a liquid crystal display device according to the third and the fourth embodiments of the present invention, respectively.

### ***Detailed Description of the Invention***

#### ***Purpose of the Invention***

##### ***Technology to which the invention belongs and the prior art of the fields***

The present invention relates to a liquid crystal display device and a method for driving the LCD, more particularly, to a liquid crystal display device where a display is divided into upper and lower displays and a method for driving the LCD.

Recently, in accordance with a tendency of a request for light-weight and thin filmed portable computer or television, a light-weight and thin film display device is also strongly required. In accordance with the recent request, a flat panel-type display such as a liquid crystal display (LCD) instead of cathod ray tube (CRT) has been developed.

LCD is a display device for obtaining an image signal by applying an electric field to a liquid material having an anisotropic dielectric constant which is injected between two substrates, adjusting the intensity of the electric field and thereby adjusting the magnitude of light transmitting into the substrate. The LCD is a representative LCD of handheld flat panel display devices, and specifically, a TFT-LCD where a thin film transistor (TFT) is used as a switching device is the most used.

In general, an LCD includes a plurality of gate lines for transmitting signal lines, a data line which intersects the gate line and transmits an image data, and a plurality of pixels which are formed in a region surrounded by the gate lines and a data line and are connected with the gate line and the data line by a switching device in the form of a matrix.

A method for applying an image data to each pixel in an LCD is as follows.

First, a gate-on signal or a scanning signal is applied to the gate lines, sequentially, the switching device connected to the gate line is turned on, sequentially, and the image signals (more concretely, a multilevel voltage) to be applied to a pixel row which corresponds to the gate line at the same time. Then, the image signal provided to the data line is applied to each pixel by the turn-on switching device. At this time, gate-on signals are applied to all the gate lines sequentially for a frame period and image signals are applied to all the pixel rows, and an image of a frame is displayed, finally.

In the meantime, the resolution of a liquid crystal display device has been recently improved, the increase of the number of gate lines are required but the time for scanning a frame is limited to for example, 1/60 seconds. Accordingly, the time interval of gate-on signals for applying to each gate line is decreased. Therefore, there is a problem that an image quality is decreased because an adequate image signal (multilevel voltage) is not applied by a switching device is not applied.

Accordingly, in order to obtain the adequate gate-on time, a method for driving a liquid crystal display by dividing a display into an upper display and a lower display (a.k.a 'dual scan method') is suggested.

Fig.1 is a view showing a liquid crystal display device using a dual scan method such as the above.

As shown in Fig.1, a device for liquid crystal display device of a dual scan method includes a liquid crystal display device panel (10), an upper and a lower data driving part (21, 22) and an upper and a lower gate driving part (31, 32).

In the liquid crystal display panel (10) are formed  $2m$  gate lines ( $G1, G2, Gm, \dots G_{2m}$ ) for transmitting gate on signals, and data lines ( $D1, D2, \dots Dn; C1, C2 \dots Cn$ ) for transmitting multilevel voltages showing image signals. The region surrounded by the gate line and the data line constitutes each pixel, and the pixel includes a thin film transistor (12) where the gate electrode and the source electrode are connected to the gate line and the data line, respectively, a pixel electrode (14) which is connected to a drain electrode of the thin film transistor (12), and a common electrode to which a common voltage is applied (not shown). Here,  $2m$  gate lines are divided into an upper gate line block with  $m$  gate lines ( $G1, G2, \dots Gm$ ) and a lower gate line block, with  $m$  gate lines ( $G_{m+1}, G_{m+2}, \dots G_{2m}$ ), respectively. In addition, the data lines ( $D1, D2, \dots Dn$ ) which are connected to the gate lines ( $G1, G2, \dots Gm$ ) in the upper gate block are separated from the data lines ( $C1, C2, \dots Cn$ ) which are connected to the gate lines ( $G_{m+1}, G_{m+2}, \dots Gm$ ) in the lower gate line block, each other. For example, the upper pixel in the first row is connected to the data line ( $D1$ ) and the lower pixel in the first row is connected to the data line ( $C1$ ).

The upper and the lower gate driving parts (31, 32) are connected to the upper and the lower gate line blocks, respectively and gate-on voltages are applied to the upper and the lower gate line

blocks, sequentially. At this time, the gate-on voltages are applied to the first gate line in the upper and the lower gate line blocks, sequentially.

The upper and the lower data driving parts (21, 22) are formed in the upper and the lower portion of the liquid crystal display device panel, respectively, and multilevel voltages showing image signals are applied to the upper data lines (D1, D2, ... Dn), and the lower data lines (C1, C2, ... Cn).

The above-mentioned liquid crystal display device is operated as follows,

First, gate-on signals are provided to the first gate line of the upper and the lower gate line blocks from the first gate line, sequentially, and multilevel voltages showing image signals are applied to the upper and the lower data line. Then, the thin film transistor (12) is turned on by the gate-on signals and the multilevel voltages provided to the data line are applied to a pixel data by the turn-on thin film transistor. Then, an electric field which occurs from the difference between the voltage applied to a pixel electrode (referred to as a pixel voltage) and a common voltage applied to the common electrode is applied to a liquid material. At this time, the liquid material has a different distortion according to the magnitude of an electric field (the magnitude of an electric field changes depending on the magnitude of the multilevel voltages), so the magnitude of the light which transmits the liquid material becomes different. Therefore, a desirous image is displayed on the liquid crystal display device.

Like this, according to a liquid crystal display device of dual scan method as shown above, a gate-on voltage is applied to the gate lines of the upper and the lower gate line block simultaneously. Therefore, it is possible to obtain double of gate on time comparing to the existing liquid crystal display device.

In the meantime, since the liquid material is deteriorated when an electric field of one direction keeps being applied to the liquid crystal material, it is required to repeat polarity of the multilevel voltages to the common voltage in order to drive the device. This driving method is called a reverse driving method.

A reverse driving method includes a frame reverse where a polarity is reversed in the unit of a frame, a line reverse where a polarity is reversed in the unit of a line, and a dot reverse where a polarity is reversed in the unit of a pixel. Of these methods, a line reverse or a dot reverse is the most used.

However, a driving method where a line reverse or a dot reverse is adapted in a liquid crystal display device with a conventional dual scan method has the problems as follows,

In Fig. 1, a dot reverse is driven as marked with (+) or (-). Here, (+) means that the polarity of a pixel voltage to the common voltage is positive and (-) means that the polarity of a pixel voltage to the common voltage is negative.

At this time, the waveform of the voltages applied to the pixel electrode of the two pixels which are adjacent to the interface in a first pixel row, in other words, the voltage applied to the pixel electrode which is electrically connected to the last gate line (Gn) and the first data line (D1) of the upper gate line block, and the voltage applied to the pixel electrode which is electrically connected

to the first gate line ( $G_{m+1}$ ) and the first data line ( $C1$ ) of the lower gate line block is shown in Fig.2.

As shown in Fig.2 (A), in an ideal case, a voltage  $V_{du}$  lower than the common voltage ( $V_{com}$ ) is applied to a pixel electrode in the first pixel row which is connected to the last gate line ( $G_n$ ) of the upper gate line block for 1 frame. However, in a real liquid crystal display device, a pixel voltage applied to a real pixel electrode is influenced by the voltage applied to a data line due to a parasite capacitor occurring between a pixel electrode and a data line.

In other words, as shown in Fig.2 (A), multilevel voltages of which polarity to the common voltage is periodically changed are applied to the first data line ( $D1$ ) (it is assumed that a multilevel voltage which is symmetrical to the common voltage is provided in Fig.2 for better understanding), so the real voltage ( $V_a$ ) applied to a pixel electrode is shown in Fig.2 (B).

More concretely, as shown in Fig.2 (A) and (B), if a pixel voltage ( $V_{pu}$ ) having a (-) polarity is applied and a multilevel voltage having a (+) polarity is provided to a data line, the real pixel voltage ( $V_a$ ) is drawn toward the common voltage by  $\Delta V$  comparing to the ideal case ( $V_{pu}$ ), due to the influence of the parasite capacity. Contrary to this, if a multilevel voltage having a (-) polarity is applied to a data line the pixel voltage is drawn toward the opposite to the common voltage.

In the meantime, as shown in Fig.2 (C), in an ideal case, a voltage  $V_{pd}$  higher than the common voltage ( $V_{com}$ ) is applied to a pixel electrode in the first pixel row which is connected to the first gate line ( $G_{m+1}$ ) of the lower gate line block for 1 frame. In addition, a multilevel voltage having the same polarity as the multilevel voltage applied to the data line ( $C1$ ) is applied to the first data line ( $C1$ ). This is because scanning starts at the first gate line of the upper gate line block and the lower gate line block, respectively as shown in Fig.1, and the polarity of a pixel voltage connected to the first gate line of the upper gate line block is the same as that of the lower gate line block.

Accordingly, the voltage applied to a real pixel electrode has a waveform shown in Fig.2 (D) due to the influence of a parasite capacitor. In other words, as shown in Fig.2 (C) and (D), if a pixel voltage ( $V_{pd}$ ) having a (+) polarity is applied and a multilevel voltage having a (+) polarity is provided to a data line, the real pixel voltage ( $V_b$ ) is drawn toward the opposite to the common voltage by  $\Delta V$  comparing to the ideal case ( $V_{pd}$ ), due to the influence of the parasite capacity. Contrary to this, if a multilevel voltage having a (-) polarity is applied to a data line, the pixel voltage is drawn toward the common voltage by  $\Delta V$ .

In conclusion, the voltage provided to the data line influences the pixels in two pixel rows in the boundary in the opposite directions. Accordingly, the difference of the real voltage which is applied to a pixel and the common voltage is shown in the chequered region in the Figs.2 (B) and (D). Therefore, the marked difference of the intensity of a light transmitting the liquid crystal material in the pixel in the boundary results in a luminance non-uniformity, therefore, the lined patterns are marked in the boundary of the upper panel and the lower panel.

#### *Technical objects to be achieved in the invention*

In order to overcome the above problems, a technical object of the present invention is to prevent

the phenomenon of luminance non-uniformity in the boundary in driving a display.

### *Configuration and operation of the Invention*

In order to accomplish the above objects, it is possible to prevent a luminance non-uniformity in the boundary by dividing a liquid crystal display panel into an upper display panel and a lower display panel and making the scanning directions of the upper and the lower panels being opposite each other.

A liquid crystal display device according to one feature of the present invention comprises:

a first and a second gate line blocks including a plurality of first gate lines and a plurality of second gate lines for transmitting scanning signals, respectively; a plurality of first data lines which intersect the gate lines of the first gate line block for transmitting image signals; a plurality of second data lines which are separated from the first data line and intersect the gate lines of the second gate line block; and a plurality of pixels which are formed in a region surrounded by the gate lines and data lines and arranged in the form of a matrix, having a switching device which is connected to the gate line and the data line, respectively; and wherein the direction of the first gate line is reverse to that of the second gate line. Here, the first gate line and the second gate line may be scanned in the opposite directions each other.

At this time, the number of the first gate line may be the same as that of the second gate line. In addition, the first gate line and the second gate line may be scanned simultaneously.

In the meantime, a liquid crystal display device according to another feature of the present invention comprises:

a liquid crystal display device panel including a first gate line block including a plurality of first gate lines which are formed in a horizontal direction, a second gate line block including a plurality of second gate lines which are formed below the first gate line block, a plurality of the first and the second data lines which intersect the first gate line of the first gate block and the second gate line of the second gate block, respectively and divided from each other, and a plurality of pixels which are formed in a region surrounded by the gate lines and data lines and arranged in the form of a matrix and having a switching device which is connected to the gate line and the data line, and a common electrode to which common voltage is applied; a first and a second data driving parts for applying a multilevel voltage for representing image signals to the first data line and the second data line, respectively; a first and a second gate driving parts for applying scanning signals sequentially to the gate lines of the first and the second gate line blocks in reverse directions each other; a first frame memory for inputting an image signal from the outside, synchronizing with a write clock signal, and recording an image signal which is input to the first data line, synchronizing with a read clock signal and outputs the recorded image signal to the first data driving part; and a second frame memory for inputting an image signal from the outside, synchronizing with a write clock signal, and recording an image signal which is input to the second data line, synchronizing with a read clock signal and outputs the recorded image signal to the second data driving part.

Here, multilevel voltages which apply to a pixel connected to a gate line which is adjacent to the

first gate line block in one pixel row may have a polarity opposite to that of the common voltage, and multilevel voltages which apply to a pixel connected to a gate line which is adjacent to the second gate line block in one pixel row has the polarity opposite to that of the common voltage.

The first gate driving part may apply a scanning signal to a gate line in the direction toward the first gate line from the last gate line sequentially, and the second gate driving part applies a scanning signal to a gate line in the direction toward the last gate line from the first gate line sequentially. The first frame memory may output the recorded image signals to the first data driving part in the opposite order in which the image signals which are applied to the first data line are recorded, and the second frame memory outputs the recorded image signals to the second data driving part in the same order in which the image signals which are applied to the first data line are recorded.

In addition, the first gate driving part may apply a scanning signal to a gate line in the direction toward the last gate line from the first gate line sequentially, and the second gate driving part applies a scanning signal to a gate line in the direction toward the first gate line from the last gate line sequentially. The first frame memory may output the recorded image signals to the first data driving part in the same order in which the image signals which are applied to the first data line are recorded, and the second frame memory outputs the recorded image signals to the second data driving part in the order opposite to that the image signals applied to the first data line are recorded.

In the meantime, a method for driving a liquid crystal display device according to a feature of the present invention includes:

a first gate line block including a plurality of first gate lines which are formed in a horizontal direction, a second gate line block including a plurality of second gate lines which are formed below the first gate line block, a plurality of the first and the second data lines which intersect the first gate line of the first gate block and the second gate line of the second gate block, respectively and divided from each other, a method for driving the liquid crystal display device comprising,

applying scanning signals to the first gate line of the first gate line block and the second gate line of the second gate line block, sequentially in the opposite directions each other; and applying the multilevel voltages to a pixel connected to the gate line to which scanning signals are provided by providing multilevel voltages which show the image signals to the first and the second data line, respectively.

Here, the driving method, in the case that a scanning signal is applied to first gate line block from the last gate line toward the first gate line, may further comprises:

recording an image signal to be applied to the first data line of the image signals which is input from the outside in the first frame memory; recording an image signal to be applied to the second data line of the image signals which is input from the outside in the second frame memory; outputting the image signal to the first data line in the opposite order that the image signal is recorded in the first frame memory; and outputting the image signal to the second data line in the same order as the image signal is recorded in the second frame memory.

Furthermore, the driving method, in the case that a scanning signal is applied to the first gate line block from the last gate line toward the first gate line, may further comprises:



recording an image signal to be applied to the first data line of the image signals which is input from the outside in the first frame memory; recording an image signal to be applied to the second data line of the image signals which is input from the outside in the second frame memory; outputting the image signal to the first data line in the same order that the image signal is recorded in the first frame memory; and outputting the image signal to the second data line in the opposite order to the image signal is recorded in the second frame memory.

The embodiments of the present invention will become more apparent by describing in detail with reference to the attached drawings.

FIG.3 is a view showing a liquid crystal display device according to a first embodiment of the present invention.

As shown in Fig.3, the liquid crystal display device according to an embodiment of the present invention includes a liquid crystal display device panel (100), an upper and a lower data driving part (210, 220), an upper and a lower gate driving part (310, 320), a frame memory (400) including an upper and a lower frame memory, and a timing controller (500).

On the liquid crystal display device panel (100) are formed  $2m$  gate lines ( $G_1, G_2, G_m, G_{m+1}, \dots, G_{2m}$ ) for transmitting gate-on signals and data lines ( $D_1, D_2, \dots, D_n; C_1, C_2, \dots, C_n$ ) for transmitting multilevel voltages showing the image signals. The region surrounded by the gate lines and the data line constitutes each pixel. As shown in Fig.4, each pixel includes a thin film transistor (110) where a gate electrode and a source electrode are connected to a gate line and a data line, respectively, a pixel electrode (120) connected to the drain electrode of the thin film transistor (110), and a common electrode (not shown) to which a common voltage is applied. Here,  $2m$  gate lines are divided into an upper and a lower gate line blocks including  $m$  gate lines ( $G_1, G_2, \dots, G_m$ ) and ( $G_{m+1}, G_{m+2}, \dots, G_{2m}$ ), respectively. In addition, the upper data lines ( $D_1, D_2, \dots, D_n$ ) connected to a pixel corresponding to the gate lines ( $G_1, G_2, \dots, G_m$ ) in the upper gate line block are separated from the lower data lines ( $C_1, C_2, \dots, C_n$ ) connected to a pixel corresponding to the gate lines ( $G_{m+1}, G_{m+2}, \dots, G_{2m}$ ) in the lower gate line block. In other words, the liquid crystal display device panel according to the embodiment of the present invention includes an upper panel (140) and a lower panel (150). Here, the upper panel (140) includes an upper gate line block and upper data lines ( $D_1, D_2, \dots, D_n$ ) and the lower panel (150) includes a lower gate line block and lower data lines ( $C_1, C_2, \dots, C_n$ ).

The upper and the lower gate driving part (210, 220) are connected to the upper and the lower gate line blocks respectively and apply gate-on voltages to the gate lines in the gate line blocks. At this time, according to the embodiment of the present invention, the upper and the lower gate driving parts (310, 320) apply gate-on voltages to the gate lines in the opposite scanning directions each other, sequentially. In other words, if the upper gate driving part (310) applies gate-on voltages from the first gate line ( $G_1$ ) of the upper gate line block toward  $m$ th gate line ( $G_m$ ), namely, from top toward bottom, sequentially, the lower gate driving part (320) applies gate-on voltages from the last gate block ( $G_{2m}$ ) of the lower gate line block toward the first gate line ( $G_{m+1}$ ), namely from bottom toward top, sequentially. Like this, according to the embodiment of the present invention, if the upper gate driving part (310) applies gate-on voltages from bottom toward top, sequentially, the

lower gate driving part (320) applies gate-on voltages from top toward bottom, sequentially.

The upper and the lower data driving part (210, 220) are formed on the top and the bottom of the liquid crystal display device panel, respectively and connected to the upper and lower frame memory (410, 420), respectively and apply multilevel voltages showing image signals to the upper data lines (D1, D2, ... Dn) and the lower data lines (C1, C2, ... Cn), respectively.

The timing controller (500) accepts an image data signal (DATA), a main clock (MCLK), horizontal synchronization signal (Hsync), and a vertical synchronization signal (Vsync) from the outside and provides required timing signals to the frame memory (400), the upper and the lower gate driving part (310, 320), and the upper and the lower data driving part (210, 220).

The upper and the lower frame memory (410, 420) synchronizes a write clock signal (WCLK) provided from the timing controller (500) and a read clock signal (RCLK), 1/2 of the frequency of the write clock signal (WCLK), and write/read image data signal to be applied to the upper and the lower data driving part (210, 220), respectively.

The operations of the liquid crystal display device according to the first embodiment of the present invention will now be described. Figs. 4a and 4b are views showing a timing of a data by synchronizing with a write clock (WCLK) and a read clock (RCLK: RCLK=WCLK/2) and input /outputs data to/from the frame memory, respectively.

First, an image data signal (DATA), a main clock (MCLK), a vertical synchronization signal (Vsync) of a frame synchronization signal, and a horizontal synchronization signal (Hsync) of a horizontal line (or, a scanning line) are input to the timing controller (500).

As shown in Fig. 4a, the frame memory records a data by synchronizing with a write clock (WCLK) outputting from the timing controller (500). In other words, the image data (d1) to be applied in the first pixel row is synchronized with the write clock signal (WCLK) sequentially, and recorded in the upper frame memory (410). At this time, the image data (d1, d2, d3, ... dm) to be applied to the portion from the first pixel row to the mth pixel row, in other words, to be applied to the pixel row corresponding to the gate lines in the upper gate line block are recorded in the upper frame (410). The image data (dm+1) through the image data (dm+2, ... d2m) to be applied to the portion from the pixel row corresponding to the first gate line (Gm+1) in the lower gate line block are synchronized with the write clock signal (WCLK) sequentially, and recorded in the lower frame memory (420).

As described above, when the upper and the lower frame memory (410, 420) are recorded by the image data to be applied to each pixel row, the image data is synchronized with the read clock signal (RCLK) and transmitted to the upper or the lower data driving part (210, 220) as shown in Fig. 4b. At this time, according to the first embodiment of the present invention, the image data is transmitted to the upper data driving part (210) in the opposite order to that it is recorded in the upper frame memory (410) in other words, dm, dm-1, dm-2, ... d2, d1. The image data to be transmitted to the lower data driving part (220) is transmitted to the lower frame memory (420) in the same order as that it is recorded. Accordingly, a memory capable of addressing in an order opposite to recording should be adapted as a frame memory according to an embodiment of the present invention.

The image data signal which has been synchronized with the clock (HCLK) and transmitted to the upper and the lower data driving (210, 220) part are changed into multilevel voltages, respectively, and applied to the upper data lines (D1, D2, ... DN) and the lower data lines (C1, C2, ... CN) in the unit of line in accordance with LOAD signals which are output from the timing controller (500).

The upper and the lower gate driving part (310, 320) are synchronized with the start signal (STV) and the gate clock (CPU) which are output from the timing controller (500) and apply the scanning signals or gate-on voltages to the gate lines of the upper gate line block and the gate lines of the lower gate line block, simultaneously. At this time, according to the embodiment of the present invention, the upper driving part (310) apply gate-on voltages from the last gate line ( $G_m$ ) of the upper gate line block toward the first gate line ( $G_1$ ), namely, from bottom toward top, sequentially, and the lower gate driving part (320) apply gate-on voltages from the first gate line ( $G_{m+1}$ ) of the lower gate line block toward the first gate line ( $G_{m+1}$ ), namely form top toward bottom, sequentially.

Then, a thin film transistor connected to the gate line to which the gate-on voltage is applied is turned on and the multilevel voltages provided to the data line are transmitted to the pixel electrode through the turned on thin film transistor, and a desired image is displayed.

According to the present invention described as above, it is possible to overcome the problems that lines occur in the center of a display in the conventional liquid crystal display device as described below.

Fig.5 is a view showing the status of a polarity of a liquid crystal display device panel according to the first embodiment of the present invention and the scanning direction of the upper and the lower gate driving parts (310, 320), Fig.6 is a view showing a waveform of various signals according to the first embodiment of the present invention.

In Fig.5, (+) and (-) mean that the polarities of a pixel voltage to the common voltages are positive, respectively, (-) means that the polarity of a pixel voltage to the common voltages is negative. The two neighboring pixels in a first pixel row will be described hereinafter.

As shown in Fig.6 (A), in an ideal case, a voltage  $V_{pu}$  lower than the common voltage ( $V_{com}$ ) is applied to a pixel electrode in the first pixel row which is connected to the last gate line ( $G_n$ ) of the upper gate line block for 1 frame. However, in a real liquid crystal display device, a pixel voltage applied to a real pixel electrode is influenced by the voltage applied to a data line due to a parasite capacitor occurring between a pixel electrode and a data line. In other words, as shown in Fig.6 (A), multilevel voltage of which polarity to the common voltage is periodically changed are applied to the first data line (D1), so the real voltage ( $V_a$ ) applied to a pixel electrode is shown in Fig.6 (B). At this time, the multilevel voltages provided to the data line (D1) are applied from bottom to top and the polarity of a pixel electrode corresponding to the last gate line ( $G_n$ ) in the first pixel row is negative, as shown in Fig.6 (A), so the polarity is inverted in the order of negative, positive, negative, positive and so on.

Concretely, as shown in Fig.6 (A) and (B), if a pixel voltage ( $V_{pu}$ ) having a (-) polarity is applied and multilevel voltages having a (+) polarity is provided to a data line, the real pixel voltage ( $V_a$ ) is

drawn toward the common voltage by  $\Delta V$  comparing to the ideal case ( $V_{pu}$ ), due to the influence of the parasite capacity ( $C_p$ ). Contrary to this, if a multilevel voltage having a (+) polarity is applied to a data line, the pixel voltage is drawn toward the common voltage.

In the meantime, as shown in Fig.6 (C), in an ideal case, a voltage  $V_{pd}$  higher than the common voltage ( $V_{com}$ ) is applied to a pixel electrode in the first pixel row which is connected to the first gate line ( $G_{m+1}$ ) of the lower gate line block for 1 frame. In addition, a multilevel voltage having the different polarity from the multilevel voltage applied to the data line ( $D1$ ) is applied to the first lower data line ( $C1$ ). This is because scanning starts from the bottom to top in the upper gate line block and scanning starts from top to bottom in the lower gate line block, respectively as shown in Fig.5, and the pixel voltage connected to the last gate line ( $G_n$ ) of the upper gate line block is different from that of the first gate line ( $G_{n+1}$ ) of the lower gate line block. Accordingly, the voltage applied to a real pixel electrode has a waveform shown in Fig.6 (D) due to the influence of a parasite capacitor ( $C_p$ ). In other words, as shown in Fig.6 (C) and (D), if a pixel voltage ( $V_{pd}$ ) having a (+) polarity is applied and a multilevel voltage having a (+) polarity is provided to a data line, the real pixel voltage ( $V_b$ ) is drawn toward the opposite to the common voltage by  $\Delta V$  comparing to the ideal case ( $V_{pd}$ ), due to the influence of the parasite capacity. Contrary to this, if a multilevel voltage having a (-) polarity is applied to a data line, the pixel voltage is drawn toward the common voltage by  $\Delta V$ .

Like this, according to the first embodiment of the present invention, in conclusion, the voltage provided to the data line influences the pixels in two pixel rows in the boundary in the same directions. Accordingly, the difference of the real voltage which is applied to a pixel and the common voltage is shown in the chequered region in the Fig.6 (B) and (D). Therefore, a slight difference of the intensity of a light transmitting the liquid crystal material in the pixel in the boundary results in almost uniform luminance. Therefore, contrary to the conventional liquid crystal display device, the phenomenon that the lined patterns are marked in the boundary of the upper panel and the lower panel does not occur.

The operation of a liquid crystal display device according to the second embodiment of the present invention will now be described.

Fig.7 is a view showing the status of a polarity of a liquid crystal display device panel according to the second embodiment of the present invention and the scanning direction of the upper and the lower gate driving parts, Fig.8 is a view showing a waveform of various signals according to the second embodiment of the present invention.

As shown in Fig.7, the two neighboring pixels in the boundary according to the second embodiment of the present invention has one polarity and the other pixels are inverted in the center of the pixels in the boundary, each other. The two neighboring pixels in a first pixel row will now be described hereinafter.

As shown in Fig.8 (A), in an ideal case, a voltage  $V_{pu}$  higher than the common voltage ( $V_{com}$ ) is applied to a pixel electrode in the first pixel row which is connected to the last gate line ( $G_n$ ) of the upper gate line block for 1 frame. However, in a real liquid crystal display device, a pixel voltage applied to a real pixel electrode is influenced by the voltage applied to a data line due to a parasite

capacitor ( $C_p$ ) occurring between a pixel electrode and a data line.

In other words, as shown in Fig. 8 (A), multilevel voltage of which polarity to the common voltage is periodically changed are applied to the first data line ( $D1$ ), so the real voltage ( $V_a$ ) applied to a pixel electrode is shown in Fig. 8 (B). At this time, the multilevel voltages provided to the data line ( $D1$ ) are applied from bottom to top and the polarity of a pixel electrode corresponding to the last gate line ( $G_n$ ) in the first pixel row is negative, as shown in Fig. 8 (A), so the polarity is inverted in the order of negative, positive, negative, positive and so on.

Concretely, as shown in Fig. 8 (A) and (B), if a pixel voltage ( $V_{pu}$ ) having a (+) polarity is applied and multilevel voltages having a (-) polarity is provided to a data line, the real pixel voltage ( $V_a$ ) is drawn toward the opposite direction to the common voltage by  $\Delta V$  comparing to the ideal case ( $V_{pu}$ ), due to the influence of the parasite capacity. Contrary to this, if a multilevel voltage having a (-) polarity is applied to a data line, the pixel voltage is drawn toward the common voltage.

In the meantime, as shown in Fig. 8 (C), in an ideal case, a voltage  $V_{pd}$  higher than the common voltage ( $V_{com}$ ) is applied to a pixel electrode in the first pixel row which is connected to the first gate line ( $G_{m+1}$ ) of the lower gate line block for 1 frame. In addition, a multilevel voltage having the same polarity as that of the multilevel voltage applied to the data line ( $D1$ ) is applied to the first lower data line ( $C1$ ). This is because scanning starts from the bottom to top in the upper gate line block and scanning starts from top to bottom in the lower gate line block, respectively as shown in Fig. 7, and the pixel voltage connected to the last gate line ( $G_n$ ) of the upper gate line block is the same as that of the first gate line ( $G_{n+1}$ ) of the lower gate line block. Accordingly, the voltage applied to a real pixel electrode has a waveform shown in Fig. 8 (D) due to the influence of a parasite capacitor ( $C_p$ ).

As shown in Fig. 8, according to the second embodiment of the present invention, in conclusion, the voltage provided to the data line influences the pixels in two pixel rows in the boundary in the same directions. Accordingly, the difference of the real voltage which is applied to a pixel and the common voltage is shown in the chekered region in the Fig. 8 (B) and (D). Therefore, a slight difference of the intensity of a light transmitting the liquid crystal material in the pixel in the boundary results in almost uniform luminance. Therefore, contrary to the conventional liquid crystal display device, the phenomenon that the lined patterns are marked in the boundary of the upper panel and the lower panel does not occur.

As described above, a scanning start from bottom to top in the gate line connected to the upper gate driving part and a scanning start from top to bottom in the gate line connected to the lower gate driving part in the embodiments of the present invention.

However, a method for driving a liquid crystal display device includes a method that a scanning starts from top to bottom in the gate line connected to the upper gate driving part and a scanning starts from bottom to top in the gate line connected to the lower gate driving part as shown in Figs. 9a and 9b.

With reference to Figs. 9a and 9b, a method for driving a liquid crystal display device according to the third and the fourth embodiments of the present invention will now be described.

As shown in Figs. 9a and 9b, a method for driving a liquid crystal display device according to the present invention, a scanning in a gate line starts from both ends of the upper and the lower liquid crystal display device panel toward the boundary of both panels. In other words, according to a method for driving a liquid crystal display device according to the third embodiment of the present invention as shown in Fig. 9a, a scanning in a gate line starts from both ends of the upper and the lower liquid crystal display device panel toward the boundary of both panels, and two pixels adjacent to the boundary are applied by a pixel voltage of one polarity.

Like this, in order to drive a gate line in the methods of the third and the fourth embodiments of the present invention, the upper frame memory (410) of the liquid crystal display device shown in Fig.3 transmits the image data to the upper data driving part (210) in the same order as that the image data is recorded, and the lower frame memory (420) transmits the image data to the lower data driving part (220) in the order opposite to that of recording the image data. In addition, the upper and the lower gate driving parts (310, 320) output gate-on signals from the first gate line (G1) of the upper gate line block and the last gate line (G2n) of the lower gate line block sequentially, respectively. The other driving methods are the same as that described above with reference to Fig.3.

According to the third and the fourth embodiments of the present invention, in conclusion, the voltage provided to the data line influences the pixels in two pixel rows in the boundary in the same directions like the first and the second embodiments described as above. The detailed description about the reasons are omitted because they are easily known to those who skilled in the art. Accordingly, a slight difference of the intensity of a light transmitting the liquid crystal material in the pixel in the boundary results in almost uniform luminance. Therefore, contrary to the conventional liquid crystal display device, the phenomenon that the lined patterns are marked in the boundary of the upper panel and the lower panel does not occur.

### *Effects of the Invention*

As described above, according to the present invention, the scanning direction in a gate line of the upper panel is opposite to the scanning direction in a gate line of the lower panel, thereby, the changes of the pixel voltages due to the multilevel voltages do not influence the upper gate panel and the lower gate panel. Accordingly, it is possible to prevent a luminance non-uniformity at the boundary of the upper panel and the lower panel.

***(57) What is claimed is:***

**Claim 1**

A liquid crystal display device comprising:

a first and a second gate line blocks including a plurality of first gate lines and a plurality of second gate lines for transmitting scanning signals, respectively;

a plurality of first data lines which intersect the gate lines of the first gate line block for transmitting image signals;

a plurality of second data lines which are separated from the first data line and intersect the gate lines of the second gate line block; and

a plurality of pixels which are formed in the region surrounded by the gate lines and data lines and arranged in the form of a matrix, having a switching device which is connected to the gate line and the data line, respectively; and wherein

the scanning direction of the first gate line is reverse to that of the second gate line.

**Claim 2**

The liquid crystal display device of claim 1,

wherein the number of the first gate line is the same as that of the second gate line.

**Claim 3**

The liquid crystal display device of claim 2,

wherein the first gate line and the second gate line are scanned simultaneously.

**Claim 4**

A liquid crystal display device comprising:

a liquid crystal display device panel including a first gate line block including a plurality of first gate lines which are formed in a horizontal direction, a second gate line block including a plurality of second gate lines which are formed below the first gate line block, a plurality of the first and the second data lines which intersect the first gate line of the first gate block and the second gate line of the second gate block, respectively and divided from each other, and a plurality of pixels which are formed in the region surrounded by the gate lines and data lines and arranged in the form of a matrix, having a switching device which is connected to the gate line and the data line, and a common electrode to which common voltage is applied;

a first and a second data driving parts for applying the multilevel voltages showing image signals to the first data line and the second data line, respectively;

a first and a second gate driving parts for applying scanning signals sequentially to the gate lines of the first and the second gate line blocks in the opposite directions each other;

a first frame memory for inputting an image signal from the outside, synchronizing with a write clock signal, and recording an image signal which is input to the first data line, synchronizing with a read clock signal and outputs the recorded image signal to the first data driving part; and

a second frame memory for inputting an image signal from the outside, synchronizing with a write clock signal, and recording an image signal which is input to the second data line, synchronizing with a read clock signal and outputs the recorded image signal to the second data driving part.

**Claim 5**

The liquid crystal display device of claim 4,  
wherein the number of the first gate line is the same as that of the second gate line.

**Claim 6**

The liquid crystal display device of claim 5,  
wherein the first gate and the second gate driving parts are applied by the scanning signals,  
simultaneously.

**Claim 7**

The liquid crystal display device of claim 5,  
wherein a multilevel voltage which applies to a pixel connected to a gate line which is adjacent to the first gate line block in one pixel row has an opposite polarity to that of the common voltage,  
and a multilevel voltage which applies to a pixel connected to a gate line which is adjacent to the second gate line block in one pixel row has an opposite polarity to that of the common voltage.

**Claim 8**

The liquid crystal display device of claim 7,  
wherein the first gate driving part applies a scanning signal to a gate line in the direction toward the first gate line from the last gate line sequentially, and the second gate driving part applies a scanning signal to a gate line in the direction toward the last gate line from the first gate line sequentially.

**Claim 9**

The liquid crystal display device of claim 8,  
wherein the first frame memory outputs the recorded image signals to the first data driving part in the opposite order that the image signals which are applied to the first data line are recorded, and the second frame memory outputs the recorded image signals to the second data driving part in the same order in which the image signals which are applied to the first data line are recorded.

**Claim 10**

The liquid crystal display device panel of claim 9,  
wherein the polarity of a common voltage to multilevel voltages applied to a pixel connected to the last gate line of the first gate line block in one pixel row has an opposite polarity to that of the common voltage to a multilevel voltage which applies to a pixel connected to the first gate line of the second gate block.

**Claim 11**

The liquid crystal display device panel of claim 9,  
wherein the polarity of a common voltage to a multilevel voltage which applies to a pixel connected to the last gate line of the first gate line block in one pixel row has the same polarity as that of the common voltage to a multilevel voltage which applies to a pixel connected to the first gate line of the second gate block.



**Claim 12**

The liquid crystal display device of claim 7,  
wherein the first gate driving part applies a scanning signal to a gate line in the direction toward the last gate line from the first gate line sequentially, and the second gate driving part applies a scanning signal to a gate line in the direction toward the first gate line from the last gate line sequentially.

**Claim 13**

The liquid crystal display device of claim 12,  
wherein the first frame memory outputs the recorded image signals to the first data driving part in the same order in which the image signals which are applied to the first data line are recorded, and the second frame memory outputs the recorded image signals to the second data driving part in the opposite order in which the image signals which are applied to the first data line are recorded.

**Claim 14**

The liquid crystal display device panel of claim 13,  
wherein the polarity of a common voltage to a multilevel voltage which applies to a pixel connected to the last gate line of the first gate line block in one pixel row has an opposite polarity to that of the common voltage to a multilevel voltage which applies to a pixel connected to the first gate line of the second gate block.

**Claim 15**

The liquid crystal display device panel of claim 13,  
wherein the polarity of a common voltage to a multilevel voltage which applies to a pixel connected to the last gate line of the first gate line block in one pixel row has the same polarity as that of the common voltage to a multilevel voltage which applies to a pixel connected to the first gate line of the second gate block.

**Claim 16**

In a liquid crystal display device including: a first gate line block including a plurality of first gate lines which are formed in a horizontal direction, a second gate line block including a plurality of second gate lines which are formed below the first gate line block, a plurality of the first and the second data lines which intersect the first gate line of the first gate block and the second gate line of the second gate block, respectively and divided from each other, a method for driving the liquid crystal display device comprising:

applying scanning signals to the first gate line of the first gate line block and the second gate line of the second gate line block, sequentially in the opposite directions each other; and

applying the multilevel voltages to a pixel connected to the gate line to which scanning signals are provided by providing a multilevel voltage which shows image signals to the first and the second data line, respectively.

**Claim 17**

The method for driving a liquid crystal display device of claim 16,

wherein the first gate line block is applied by a scanning signal to a gate line in the direction toward the first gate line from the last gate line sequentially, and the second gate line block is applied by a scanning signal in the direction toward the last gate line from the first gate line sequentially.

**Claim 18**

The method for driving a liquid crystal display device of claim 17, the method comprising:

recording an image signal to be applied to the first data line of the image signals which is input from the outside in the first frame memory;

recording an image signal to be applied to the second data line of the image signals which is input from the outside in the second frame memory;

outputting the image signal to the first data line in the opposite order that the image signal is recorded in the first frame memory; and

outputting the image signal to the second data line in the same order as the image signal is recorded in the second frame memory.

**Claim 19**

The method for driving a liquid crystal display device of claim 16,

wherein the first gate line block is applied by a scanning signal to a gate line in the direction toward the last gate line from the first gate line sequentially, and the second gate line block is applied by a scanning signal in the direction toward the first gate line from the last gate line sequentially.

**Claim 20**

The method for driving a liquid crystal display device of claim 19, the method comprising:

recording an image signal to be applied to the first data line of the image signals which is input from the outside in the first frame memory;

recording an image signal to be applied to the second data line of the image signals which is input from the outside in the second frame memory;

outputting the image signal to the first data line in the same order as that the image signal is recorded in the first frame memory; and

outputting the image signal to the second data line in the order opposite to the image signal is recorded in the second frame memory.

## **Figure**

### **Fig. 1**

21: upper data driving part  
31: upper gate driving part

22: lower data driving part  
32: lower gate driving part

### **Fig. 2**

(c) 1 frame

### **Fig. 3**

500: timing controller  
410: upper frame memory  
310: upper gate driving part  
210: upper data driving part

420: lower frame memory  
320: lower gate driving part  
220: lower data driving part

### **Fig. 4a**

DATA1: upper frame memory

DATA2: lower frame memory

### **Fig. 5**

↑ : scanning direction

↓ : scanning direction

### **Fig. 7**

↑ : scanning direction

↓ : scanning direction

### **Fig. 9a**

↓ : scanning direction

↑ : scanning direction

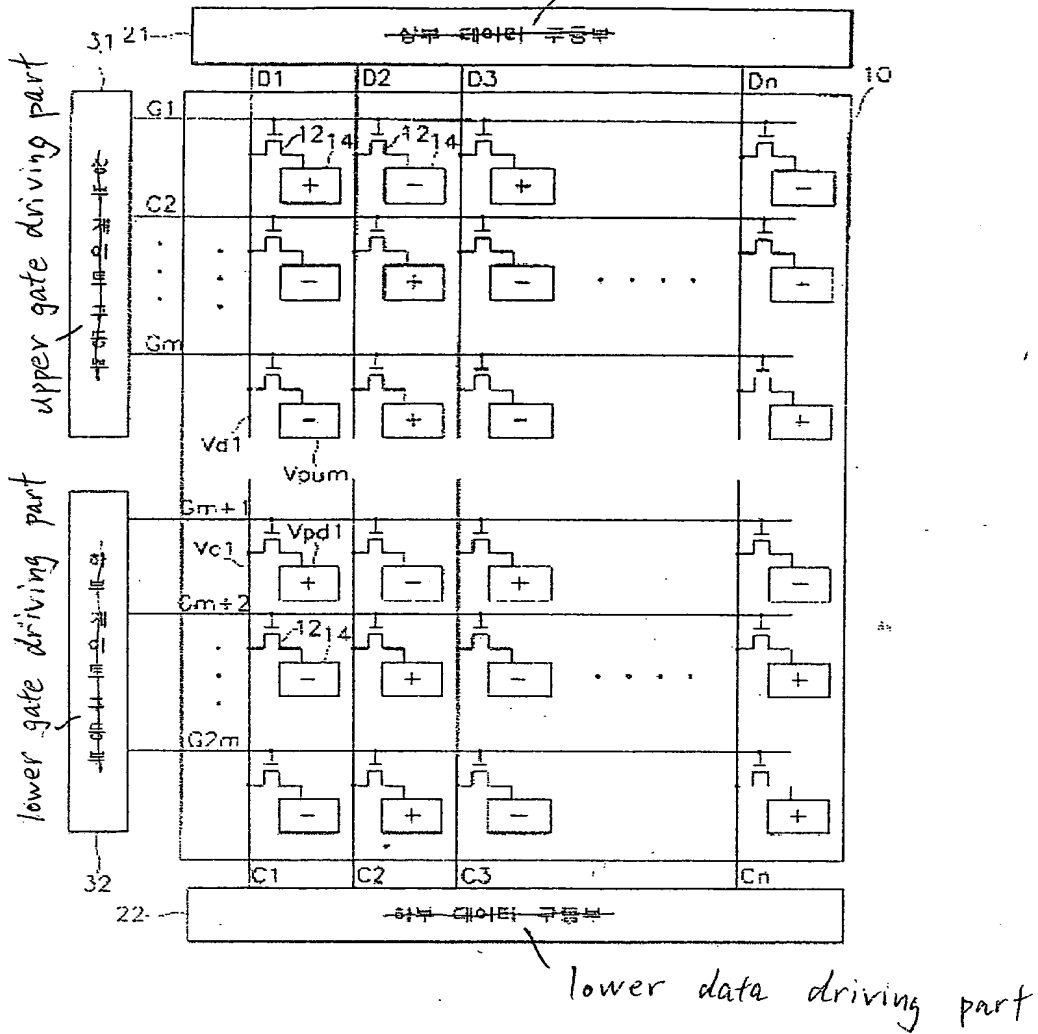
### **Fig. 9b**

↓ : scanning direction

↑ : scanning direction

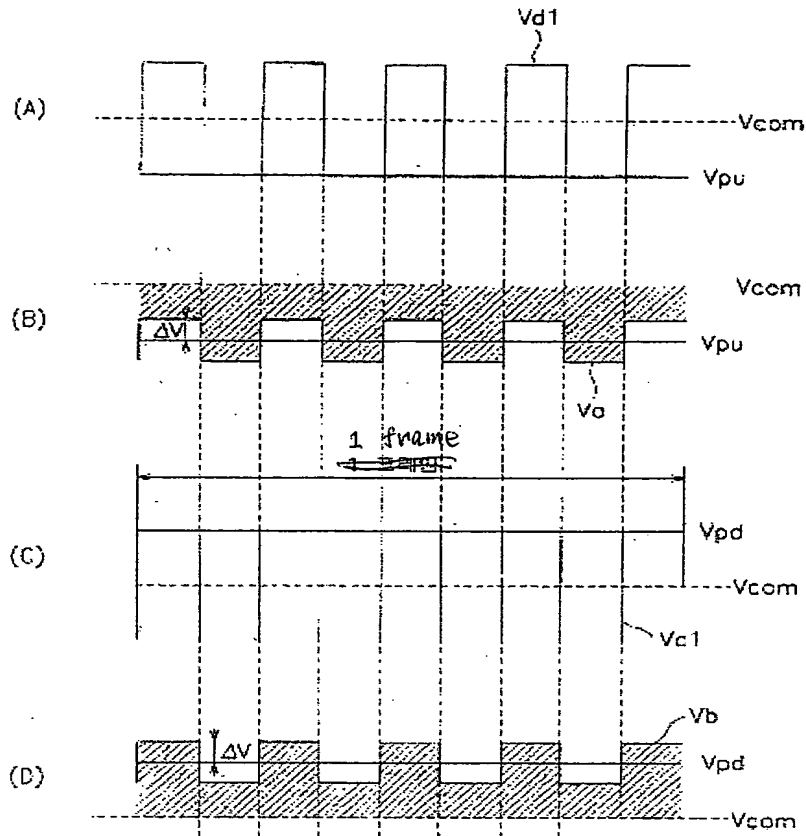
도면1

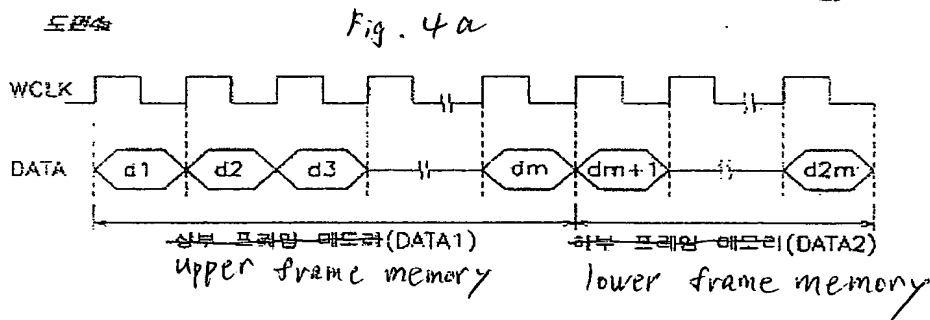
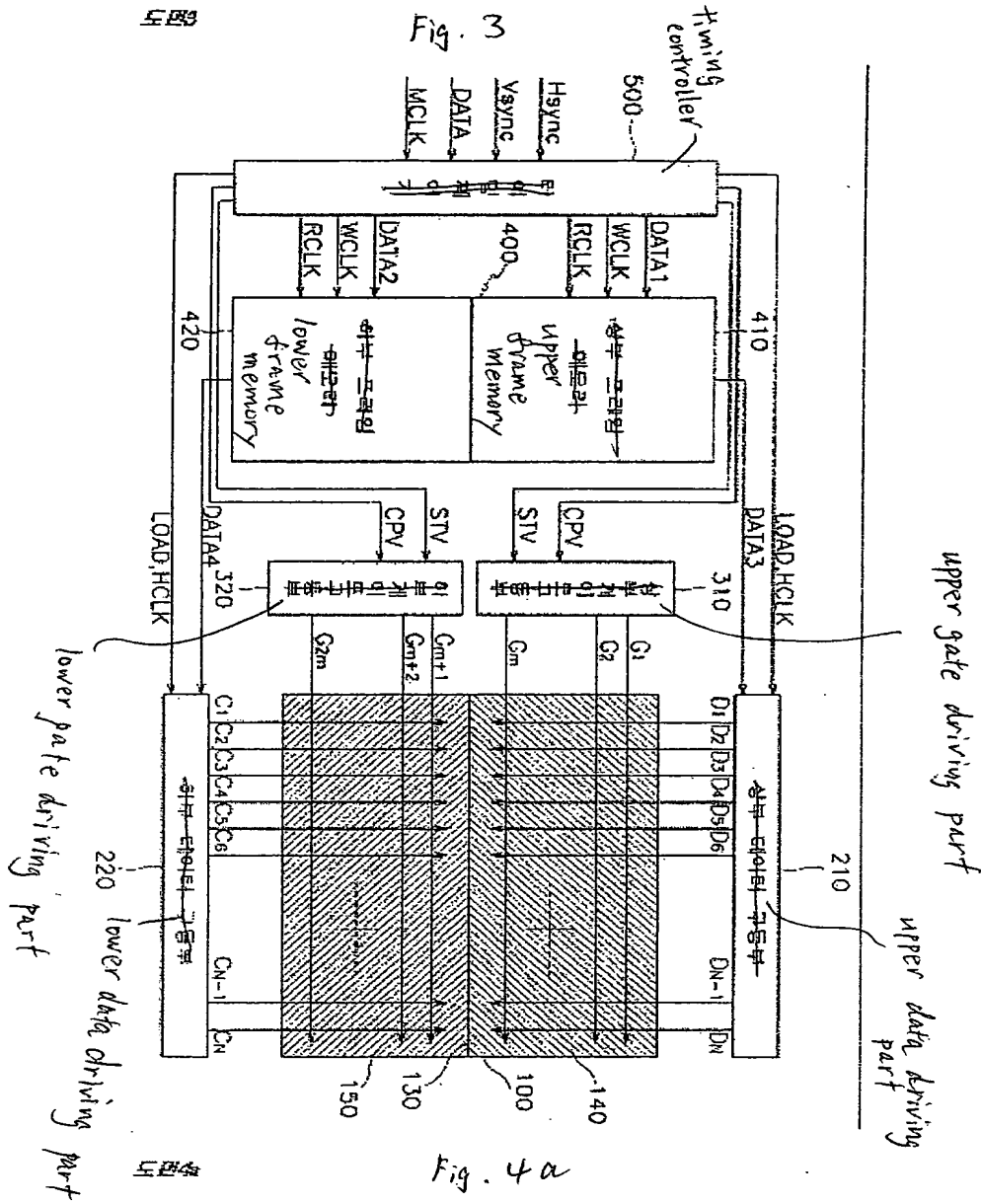
Fig. 1 upper data driving part



도 2

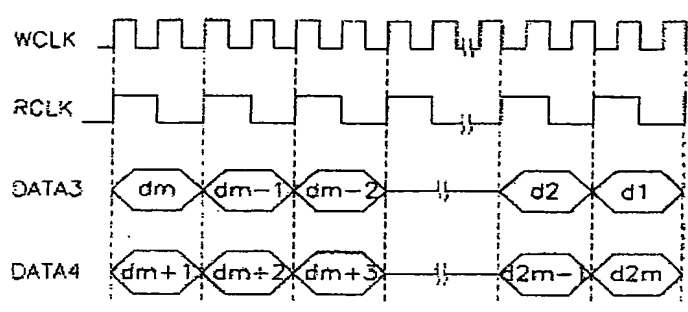
Fig. 2





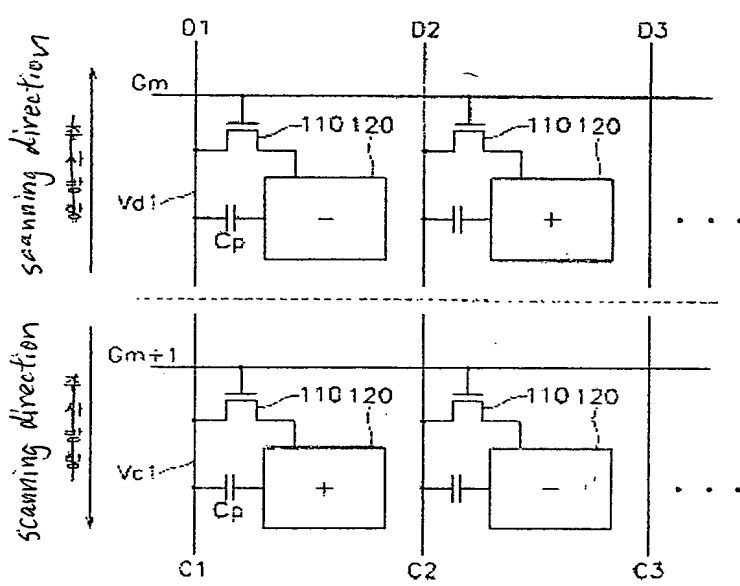
도 4b

Fig. 4b



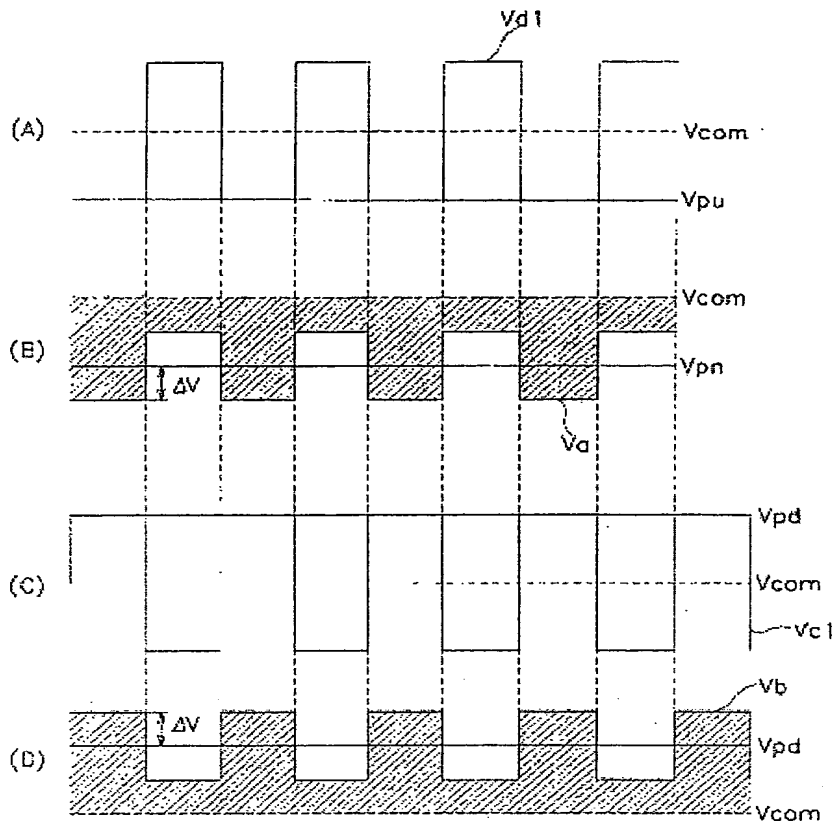
도 4c

Fig. 5



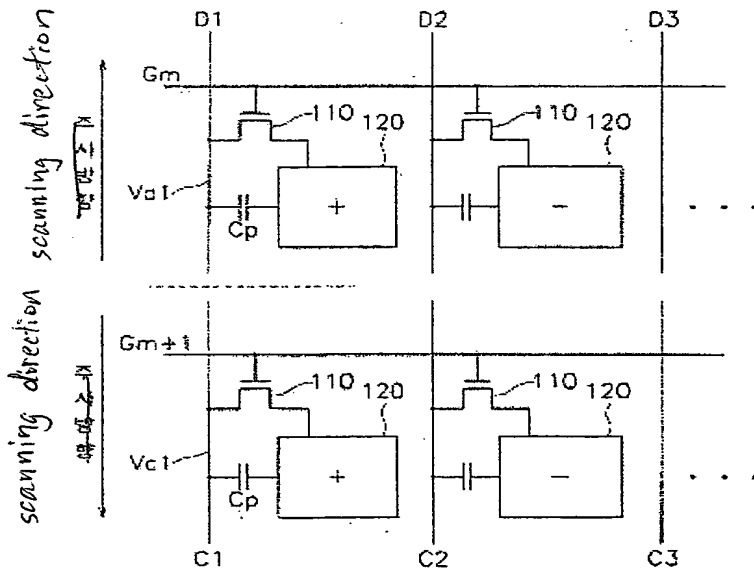
도 6

Fig. 6



도 7

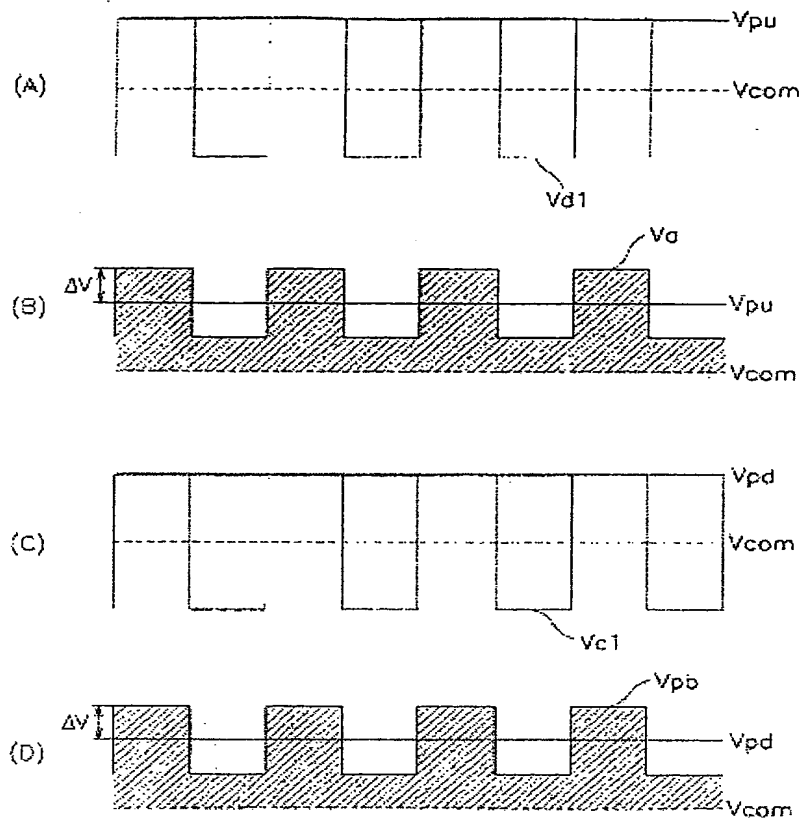
Fig. 7





도 8

Fig. 8



도 9a

Fig. 9a

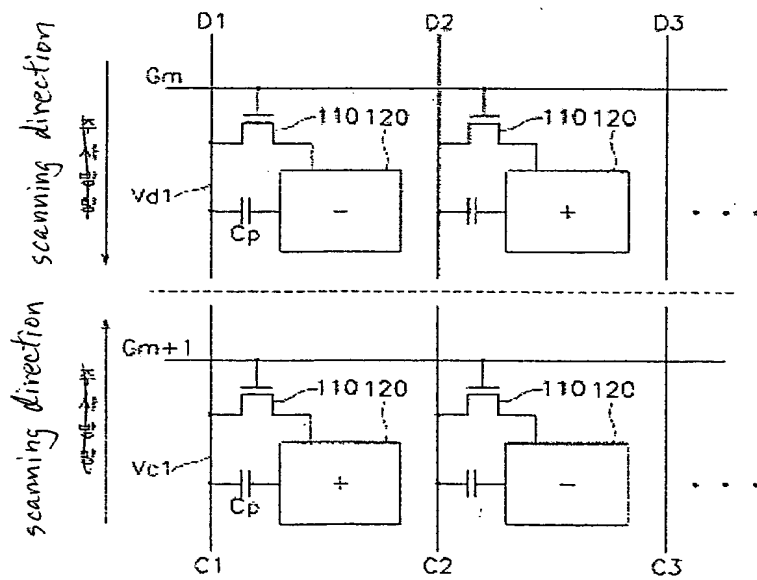


Fig. 9b

